

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2003-122303

(43)Date of publication of application : 25.04.2003

(51)Int.Cl. G09G 3/30
G09F 9/30
G09G 3/20
H05B 33/14

(21)Application number : 2001-317787

(71)Applicant : MATSUSHITA ELECTRIC IND CO LTD

(22)Date of filing : 16.10.2001

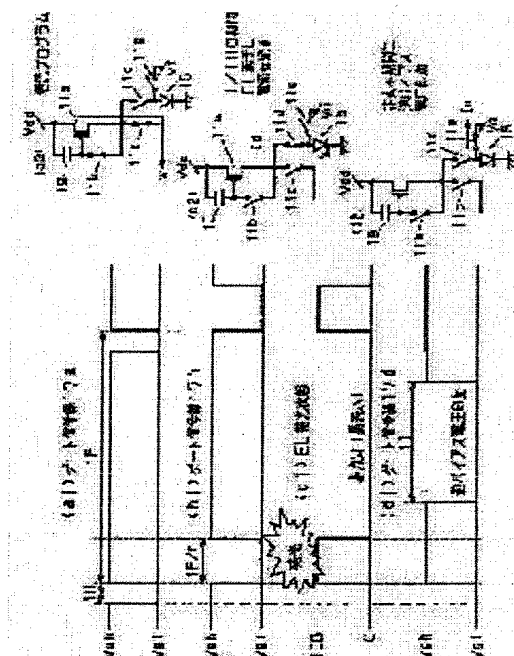
(72)Inventor : TAKAHARA HIROSHI
TSUGE HITOSHI

(54) EL DISPLAY PANEL AND DISPLAY DEVICE USING THE SAME, AND ITS DRIVING METHOD

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a display device which does not deteriorate an EL element and achieves a good color display.

SOLUTION: N times of electric current as large as the electric current loaded to the EL element 15 is programmed in a capacitor 19. In order to obtain the predetermined light-emitting brightness of the EL element 15, the electric current is loaded to the EL element 15 during the period of $1/N$ of one frame, and the electric current is not loaded during other periods ($1F(N-1)/N$). A reverse bias voltage is applied to the EL element 15 during a period of $(N-1)/N$. Thereby, an upsharp edge line of image disappears and a good movie display is achieved. Because the reverse bias voltage is applied to the EL element 15 during the period of a black display, the EL element 15 is not deteriorated.



(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2003-122303

(P2003-122303A)

(43)公開日 平成15年4月25日 (2003.4.25)

(51)Int.Cl. ⁷	識別記号	F I	テーマコード*(参考)
G 0 9 G 3/30		G 0 9 G 3/30	J 3 K 0 0 7
G 0 9 F 9/30	3 3 8	G 0 9 F 9/30	3 3 8 5 C 0 8 0
	3 6 5		3 6 5 Z 5 C 0 9 4
G 0 9 G 3/20	6 1 1	G 0 9 G 3/20	6 1 1 H
	6 2 4		6 2 4 B
審査請求 未請求 請求項の数12 O L (全 90 頁) 最終頁に続く			

(21)出願番号 特願2001-317787(P2001-317787)

(22)出願日 平成13年10月16日 (2001.10.16)

(71)出願人 000005821

松下電器産業株式会社

大阪府門真市大字門真1006番地

(72)発明者 高原 博司

大阪府門真市大字門真1006番地 松下電器
産業株式会社内

(72)発明者 柘植 仁志

大阪府門真市大字門真1006番地 松下電器
産業株式会社内

(74)代理人 100097445

弁理士 岩橋 文雄 (外2名)

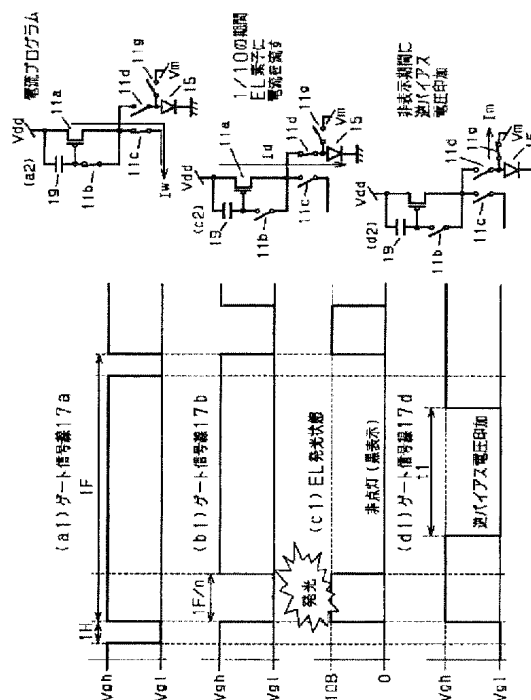
最終頁に続く

(54)【発明の名称】 EL表示パネルおよびそれを用いた表示装置とその駆動方法

(57)【要約】

【課題】 EL素子の劣化がなく、良好なカラー表示が実現できる表示装置を提供する。

【解決手段】 コンデンサ19にはEL素子15に流す電流のN倍の電流をプログラムする。EL素子15の所定の発光輝度を得るために、1フレームの1/Nの期間の間だけ、EL素子15に電流を流し、他の期間(1F(N-1)/N)は電流を流さない。また、この(N-1)/Nの期間に逆バイアス電圧をEL素子15に印加する。このようにすることで、画像の輪郭ぼけがなくなり良好な動画表示を実現できる。また、黒表示期間にEL素子15に逆バイアス電圧を印加するため、EL素子15の劣化がない。



【特許請求の範囲】

【請求項1】 アクティブマトリックス型 E L 表示装置であって、
E L 素子が非点灯状態時に、前記 E L 素子に逆バイアス電圧を印加することを特徴とする E L 表示パネルの駆動方法。

【請求項2】 $1/n$ の表示領域を所定輝度の略 n 倍の輝度で表示し、かつ、 $(n-1)/n$ の領域を略非点灯状態にし、

前記非点灯状態の領域の E L 素子に、逆バイアス電圧を印加することを特徴とする E L 表示パネルの駆動方法。 10

【請求項3】 アクティブマトリックス型 E L 表示装置であって、

第1の表示領域に画像を表示し、前記第1の表示領域以外の第2の表示領域を略非点灯状態にし、非表示領域を順次シフトして全画面を表示し、

前記非表示領域の E L 素子に逆バイアス電圧を印加することを特徴とする E L 表示パネルの駆動方法。

【請求項4】 アクティブマトリックス型 E L 表示装置であって、 20

E L 素子に所定電流を印加した時の端子電圧を V_2 、前記所定電流を印加している時間を t_2 、逆バイアス電圧を V_m 、前記逆バイアス電圧を印加している時間を t_1 とした時、 $(V_m \times t_1) / (V_2 \times t_2)$ が 1.0 以上 1.75 以下となるように電圧を印加することを特徴とする E L 表示パネルの駆動方法。

【請求項5】 アクティブマトリックス型 E L 表示装置であって、E L 素子と、

前記 E L 素子のアノード端子に接続された第1のスイッチング素子と、 30

前記 E L 素子に電流を印加する駆動薄膜トランジスタ素子とを具備し、

前記第1のスイッチング素子は、前記駆動薄膜トランジスタ素子が前記 E L 素子に電流を供給していない期間のうち、任意の期間にオンし、前記アノード端子にカソード端子よりも低い電圧を印加することを特徴とする E L 表示装置。

【請求項6】 アクティブマトリックス型 E L 表示装置であって、E L 素子と、

前記 E L 素子のアノード端子に接続された第1のスイッチング素子と、 40

前記 E L 素子に電流を印加する駆動薄膜トランジスタ素子と、

前記駆動薄膜トランジスタ素子にソース信号線からの信号を供給する第2のスイッチング素子を具備し、

前記第1のスイッチング素子は、前記駆動薄膜トランジスタ素子が前記 E L 素子に電流を供給していない期間のうち、任意の期間にオンし、前記アノード端子にカソード端子よりも低い第1の電圧を印加し、

前記第1の電圧は、前記第2のスイッチング素子をオフ 50

させる電圧であることを特徴とする E L 表示装置。

【請求項7】 アクティブマトリックス型 E L 表示装置であって、E L 素子と、

前記 E L 素子のアノード端子に接続された第1のスイッチング素子と、

前記 E L 素子に電流を印加する駆動薄膜トランジスタ素子と、

前記駆動薄膜トランジスタ素子にソース信号線からの信号を供給する第2のスイッチング素子を具備し、

前記第1のスイッチング素子は、前記駆動薄膜トランジスタ素子が前記 E L 素子に電流を供給していない期間のうち、任意の期間にオンし、前記アノード端子にカソード端子よりも低い第2の電圧を印加し、
前記第2の電圧は、前記ソース信号線に印加された電圧であることを特徴とする E L 表示装置。

【請求項8】 アクティブマトリックス型 E L 表示装置であって、

E L 素子と、

前記 E L 素子のアノード端子に接続された第1のスイッチング素子と、 20

前記 E L 素子に電流を印加する駆動薄膜トランジスタ素子と、定電流源を具備し、

前記第1のスイッチング素子は、前記駆動薄膜トランジスタ素子からの電流を前記 E L 素子に供給し、

前記第1のスイッチング素子がオフの時、前記定電流源は前記 E L 素子に逆バイアス電圧を印加することを特徴とする E L 表示装置。

【請求項9】 アクティブマトリックス型 E L 表示装置であって、 30

E L 素子と、

前記 E L 素子のアノード端子に接続されたフライングコンデンサ回路と、

前記 E L 素子に電流を印加する駆動薄膜トランジスタ素子と、

第1のスイッチング素子を具備し、

前記第1のスイッチング素子は、前記駆動薄膜トランジスタ素子からの電流を前記 E L 素子に供給し、

前記第1のスイッチング素子がオフの時、前記フライングコンデンサ回路に保持された電圧が前記 E L 素子に印加することを特徴とする E L 表示装置。

【請求項10】 請求項8記載の E L 表示パネルと、
ダウンコンバータと、

アップコンバータと、

受話器と、

スピーカとを具備することを特徴とする情報表示装置。

【請求項11】 アクティブマトリックス型 E L 表示装置の駆動方法であって、

第1のフレームでは、画面の上から下方向に非点灯表示を走査し、

前記第 1 のフレーム以降の第 2 のフレームでは画面の下から上方向に非点灯表示することを特徴とする E L 表示装置の駆動方法。

【請求項 12】 アクティブマトリックス型 E L 表示装置の駆動方法であって、

第 1 のフレームでは、 $4N+1$ と $4N+2$ (N は 0 以外の整数) の画素行を順次表示し、

前記第 1 のフレームの次の第 2 のフレームでは $4N+3$ と $4N+4$ (N は 0 以外の整数) の画素行を順次表示することを特徴とする E L 表示装置の駆動方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 主として本発明は自発光で画像を表示する E L 表示パネルとおよびこれらの E L 表示パネルを用いた携帯電話などの情報表示装置などに関するものである。

【0002】

【従来の技術】 液晶表示パネルは、薄型で低消費電力という利点から、携帯用機器等に多く採用されているため、ワードプロセッサやパーソナルコンピュータ、テレビなどの機器や、ビデオカメラのビューファインダ、モニターなどにも用いられている。

【0003】

【発明が解決しようとする課題】 しかし、液晶表示パネルは自発光デバイスではないため、バックライトを用いないと画像を表示できないという問題点がある。バックライトを構成するためには所定の厚みが必要であるため、表示モジュールの厚みが大きくなるという問題があった。また、液晶表示パネルでカラー表示を行うためには、カラーフィルタを使用する必要がある。そのため、光利用効率が低いという問題点があった。

【0004】

【課題を解決するための手段】 この課題を解決するために、本発明は第 1 に、E L 表示パネルの駆動方法において、アクティブマトリックス型 E L 表示装置であって、E L 素子が非点灯状態時に、前記 E L 素子に逆バイアス電圧を印加することを特徴とする。

【0005】 第 2 に、E L 表示パネルの駆動方法において、 $1/n$ の表示領域を所定輝度の略 n 倍の輝度で表示し、かつ、 $(n-1)/n$ の領域を略非点灯状態にし、前記非点灯状態の領域の E L 素子に、逆バイアス電圧を印加することを特徴とする。

【0006】 第 3 に、E L 表示パネルの駆動方法において、アクティブマトリックス型 E L 表示装置であって、第 1 の表示領域に画像を表示し、前記第 1 の表示領域以外の第 2 の表示領域を略非点灯状態にし、非表示領域を順次シフトして全画面を表示し、前記非表示領域の E L 素子に逆バイアス電圧を印加することを特徴とする。

【0007】 第 4 に、E L 表示パネルの駆動方法において、アクティブマトリックス型 E L 表示装置であって、

E L 素子に所定電流を印加した時の端子電圧を V_2 、前記所定電流を印加している時間を t_2 、逆バイアス電圧を V_m 、前記逆バイアス電圧を印加している時間を t_1 とした時、 $(V_m \times t_1) / (V_2 \times t_2)$ が 1.0 以上 1.75 以下となるように電圧を印加することを特徴とする。

【0008】 第 5 に、E L 表示装置において、アクティブマトリックス型 E L 表示装置であって、E L 素子と、前記 E L 素子のアノード端子に接続された第 1 のスイッチング素子と、前記 E L 素子に電流を印加する駆動薄膜トランジスタ素子とを具備し、前記第 1 のスイッチング素子は、前記駆動薄膜トランジスタ素子が前記 E L 素子に電流を供給していない期間のうち、任意の期間にオンし、前記アノード端子にカソード端子よりも低い電圧を印加することを特徴とする。

【0009】 第 6 に、E L 表示装置において、アクティブマトリックス型 E L 表示装置であって、E L 素子と、前記 E L 素子のアノード端子に接続された第 1 のスイッチング素子と、前記 E L 素子に電流を印加する駆動薄膜トランジスタ素子と、前記駆動薄膜トランジスタ素子にソース信号線からの信号を供給する第 2 のスイッチング素子を具備し、前記第 1 のスイッチング素子は、前記駆動薄膜トランジスタ素子が前記 E L 素子に電流を供給していない期間のうち、任意の期間にオンし、前記アノード端子にカソード端子よりも低い第 1 の電圧を印加し、前記第 1 の電圧は、前記第 2 のスイッチング素子をオフさせる電圧であることを特徴とする。

【0010】 第 7 に、E L 表示装置において、アクティブマトリックス型 E L 表示装置であって、E L 素子と、前記 E L 素子のアノード端子に接続された第 1 のスイッチング素子と、前記 E L 素子に電流を印加する駆動薄膜トランジスタ素子と、前記駆動薄膜トランジスタ素子にソース信号線からの信号を供給する第 2 のスイッチング素子を具備し、前記第 1 のスイッチング素子は、前記駆動薄膜トランジスタ素子が前記 E L 素子に電流を供給していない期間のうち、任意の期間にオンし、前記アノード端子にカソード端子よりも低い第 2 の電圧を印加し、前記第 2 の電圧は、前記ソース信号線に印加された電圧であることを特徴とする。

【0011】 第 8 に、E L 表示装置において、アクティブマトリックス型 E L 表示装置であって、E L 素子と、前記 E L 素子のアノード端子に接続された第 1 のスイッチング素子と、前記 E L 素子に電流を印加する駆動薄膜トランジスタ素子と、定電流源を具備し、前記第 1 のスイッチング素子は、前記駆動薄膜トランジスタ素子からの電流を前記 E L 素子に供給し、前記第 1 のスイッチング素子がオフの時、前記定電流源は前記 E L 素子に逆バイアス電圧を印加することを特徴とする。

【0012】 第 9 に、E L 表示装置において、アクティブマトリックス型 E L 表示装置であって、E L 素子と、

前記 E L 素子のアノード端子に接続されたフライングコンデンサ回路と、前記 E L 素子に電流を印加する駆動薄膜トランジスタ素子と、第 1 のスイッチング素子を具備し、前記第 1 のスイッチング素子は、前記駆動薄膜トランジスタ素子からの電流を前記 E L 素子に供給し、前記第 1 のスイッチング素子がオフの時、前記フライングコンデンサ回路に保持された電圧が前記 E L 素子に印加することを特徴とする。

【0013】第 10 に、情報表示装置において、請求項 8 記載の E L 表示パネルと、ダウンコンバータと、アップコンバータと、受話器と、スピーカーとを具備することを特徴とする。

【0014】第 11 に、E L 表示装置の駆動方法において、アクティブマトリックス型 E L 表示装置の駆動方法であって、第 1 のフレームでは、画面の上から下方向に非点灯表示を走査し、前記第 1 のフレーム以降の第 2 のフレームでは画面の下から上方向に非点灯表示することを特徴とする。

【0015】第 12 に、E L 表示装置の駆動方法において、アクティブマトリックス型 E L 表示装置の駆動方法であって、第 1 のフレームでは、 $4N+1$ と $4N+2$ (N は 0 以外の整数) の画素行を順次表示し、前記第 1 のフレームの次の第 2 のフレームでは $4N+3$ と $4N+4$ (N は 0 以外の整数) の画素行を順次表示することを特徴とする。

【0016】

【発明の実施の形態】本明細書において、各図面は理解を容易にまたは作図を容易にするため、省略や拡大縮小した箇所がある。例えば、図 5 の表示パネルの断面図では封止膜 73 などを十分厚く図示している。また、図 6 等では画素電極に信号を印加する薄膜トランジスタ (TFT) などを省略している。また、本発明の表示パネルなどでは、位相補償のための位相フィルムなどを省略しているが、適時付加することが望ましい。以上のことは他の図面に対しても同様である。また、同一番号または記号を付した箇所は同一の材料あるいは機能もしくは動作を有するものである。

【0017】なお、各図面等で説明した内容は特に断りがなくとも、他の実施例等と組み合わせることができる。例えば、図 6 の表示パネルにタッチパネルなどを付加し、図 104、図 113 のような情報表示装置とすることができる。また、拡大レンズを取り付け、ビデオカメラ (図 74 参照) などのビューファインダ (図 109 参照) を構成することもできる。また、図 29、図 30、図 40、図 114 などで説明した本発明の駆動方法は、本発明の表示装置または表示パネルのいずれにも適用することができる。また、本発明は各画素に TFT が形成されたアクティブマトリックス型表示パネルを主として説明するがこれに限定されるものではなく、単純マトリックス型にも適用することができることは言うまで

もない。

【0018】このように、明細書、図面で説明した事項、内容、仕様は、特に例示されていなくとも、互いに組み合わせて適用させることができる。

【0019】(実施の形態 1) 現在、低消費電力でかつ高表示品質であり、更に薄型化が可能な表示パネルとして、複数の有機エレクトロルミネッセンス (E L) 素子をマトリックス状に配列して構成される有機 E L 表示パネルが注目されている。

【0020】有機 E L 表示パネルは、図 2 に示すように、画素電極 48 としての透明電極が形成されたアレイ基板 49 上に、電子輸送層、発光層、正孔輸送層などからなる少なくとも 1 層の有機 E L 層 47、及び反射膜 46 が積層されたものである。透明電極 (画素電極) 48 の陽極 (アノード) にプラス、反射膜 46 の陰極 (カソード) にマイナスの電圧を加え、これらの間に直流電流を印加することにより、有機 E L 層 47 が発光する。このように、良好な発光特性を期待することのできる有機化合物を有機 E L 層に使用することによって、E L 表示パネルが実用に耐え得るものになっている。

【0021】なお、カソード電極、アノード電極あるいは反射膜は、ITO 電極に誘電体多層膜からなる光学的干渉膜を形成して構成してもよい。誘電体多層膜とは低屈折率の誘電体膜と高屈折率の誘電体膜とを交互に多層形成したもの (誘電体ミラー) である。この誘電体多層膜は有機 E L 構造から放射される光の色調を良好なものにする機能 (フィルタ効果) を有する。

【0022】アノードあるいはカソードへ電流を供給する配線 51、63 には大きな電流が流れる。例えば、E L 表示装置の画面サイズが 40 インチサイズになると 100 A 程度の電流が流れる。そのため、これらの配線の抵抗値は十分低く作製する必要がある。この課題に対して、本発明では、まず、アノードなどの配線を薄膜で形成する。そして、この薄膜配線に電解めっき技術により導体の厚みを太く形成している。また、必要に応じて、配線そのもの、あるいは配線に銅薄からなる金属配線を付加している。

【0023】また、アノードあるいはカソード配線に大きな電流を供給するため、電流供給手段から高電圧で小電流の電力配線を用いて、前記アノード配線などの近傍まで配線し、D C D C コンバータなどを用いて低電圧、高電流に電力変換して供給している。

【0024】反射膜 46 には、アルミニウム、マグネシウム、インジウム、銅または各々の合金等の仕事関数が小さなもの、特に A l - L i 合金を用いることが好ましい。また、透明電極 (画素電極) 48 には、ITO (錫ドープ酸化インジウム) 等の仕事関数の大きな導電性材料または金等を用いることができる。なお、金を電極材料として用いた場合、電極は半透明の状態となる。なお、ITO は I Z O などの他の材料でもよい。この事項

は画素電極に対しても同様である。

【0025】なお、画素電極48などに薄膜を蒸着する際は、アルゴン雰囲気中で有機EL膜を成膜するとよい。また、画素電極48としてのITO上にカーボン膜を20nm以上50nm以下で成膜することにより、界面の安定性が向上し、発光輝度および発光効率も良好なものとなる。

【0026】（実施の形態2）以下、本発明のEL表示パネル構造の理解を容易とするため、まず、本発明の有機EL表示パネルの製造方法について説明をする。

【0027】放熱性を良くするため、アレイ基板49はサファイアガラスで形成してもよい。または熱伝導性のよい薄膜あるいは厚膜を形成してもよい。例えば、ダイヤモンド薄膜を形成した基板を使用することが例示される。もちろん、石英ガラス基板、ソーダガラス基板を用いてもよい。その他、アルミナなどのセラミック基板や銅などからなる金属板を使用したり、絶縁膜に金属膜を蒸着あるいは塗布などのコーティングをしたものを用いてもよい。画素電極を反射型とする場合、基板材料としては基板の表面方向より光が射出されるので、ガラス、石英や樹脂等の透明ないし半透明材料の他、ステンレスなどの非透過材料を用いることもできる。この構成を図5に図示する。図5では、カソード電極をITOなどの透明電極72で形成している。

【0028】なお、本発明の実施例では、カソードなどを金属膜で形成するとしたが、これに限定されるものではなく、ITO、IZOなどの透明膜で形成してもよい。このように、EL素子15のアノードとカソードの両方の電極を透明電極にすることにより、透明EL表示パネルを構成できる。つまり、金属膜を使わずに透過率を約80%まで上げることにより、文字や絵を表示しながら表示パネルの向こう側がほとんど透けて見えるような構成にすることができる。

【0029】また、アレイ基板49にはプラスチック基板を用いてもよい。プラスチック基板は割れにくく、また、軽量のため携帯電話の表示パネル用基板として最適である。プラスチック基板は、芯材となるベース基板の一方の面に補助の基板を接着剤で貼り合わせて積層基板として用いることが好ましい。もちろん、これらの基板は板に限定されるものではなく、厚さ0.05mm以上0.3mm以下のフィルムでもよい。

【0030】ベース基板の材料として、脂環式ポリオレフィン樹脂を用いることが好ましい。このような脂環式ポリオレフィン樹脂として日本合成ゴム社製のARTON（厚さ200 μ mの1枚板）が例示される。ベース基板の一方の面に、耐熱性、耐溶剤性または耐透湿性機能を持つハードコート層、および耐透気性機能を持つガスバリア層が形成されたポリエステル樹脂、ポリエチレン樹脂あるいはポリエーテルスルホン樹脂などからなる補助の基板（あるいはフィルムもしくは膜）を配置する。

【0031】このように、アレイ基板49をプラスチックで構成する場合、アレイ基板49はベース基板と2枚の補助基板から構成されるので、ベース基板の他方の面にも、前述と同様にハードコート層およびガスバリア層が形成されたポリエーテルスルホン樹脂などからなる補助基板（あるいはフィルムもしくは膜）を配置する。なお、ベース基板と補助基板とは接着剤もしくは粘着剤を介して貼り合わせて積層基板とする。

【0032】接着剤としてはUV（紫外線）硬化型でアクリル系の樹脂からなるものを用いること、また、アクリル樹脂はフッ素基を有するものを用いることが好ましい。その他、エポキシ系の接着剤あるいは粘着剤を用いてもよい。接着剤あるいは粘着剤の屈折率は1.47以上1.54以下のものを用いることが好ましい。また、アレイ基板49の屈折率との屈折率差が0.03以下となるようにすることが好ましい。特に、接着剤は先に記載したような酸化チタンなどの光拡散材を添加し、光散乱層として機能させることが好ましい。

【0033】各々の補助基板をベース基板に貼り合わせる際には、各々の補助基板の光学的遅相軸同士がなす角度を45度以上120度以下、さらに好ましくは80度以上100度以下（ほぼ90度）とすることがよい。この範囲にすることにより、補助基板および補助基板であるポリエーテルスルホン樹脂などで発生する位相差を積層基板内で完全に打ち消すことができる。したがって、有機EL表示パネル用プラスチック基板は位相差の無い等方性基板として扱うことができるようになる。

【0034】この構成により、位相差を持ったフィルム基板またはフィルム積層基板に比べて、著しく汎用性が広がる。つまり、位相差フィルムとを組み合わせることで直線偏光を楕円偏光に設計通りに変換できるようになるからである。アレイ基板49などに位相差があると、この位相差により設計値との誤差が発生する。

【0035】補助基板におけるハードコート層は、材料としてエポキシ系樹脂、ウレタン系樹脂またはアクリル系樹脂等を用いることができ、ストライプ状電極あるいは画素電極を有する透明導電膜の第1のアンダーコート層とを兼ねる。また、ガスバリア層としては、SiO₂、SiO_xなどの無機材料、またはポリビニールアルコール、ポリイミドなどの有機材料等を用いることができる。粘着剤、接着剤などとしては、先に記述したアクリル系の他にエポキシ系接着剤、またはポリエステル系接着剤等を用いることができる。なお、接着層の厚みは100 μ m以下とするが、基板など表面の凹凸を平滑化するために、10 μ m以上とすることが好ましい。

【0036】また、アレイ基板49を構成する補助基板および補助基板として、厚さ40 μ m以上400 μ m以下のものを用いることが好ましい。また、各々の補助基板の厚さを120 μ m以下にすることにより、ポリエーテルスルホン樹脂のダイラインと呼ばれる溶融押し出し

成形時のむらまたは位相差を低く抑えることができるので、好ましくは厚さを $50\ \mu\text{m}$ 以上 $80\ \mu\text{m}$ 以下とする。

【0037】次に、この積層基板に、透明導電膜の補助アンダーコート層として SiO_x を形成し、画素電極となるITOからなる透明導電膜をスパッタ技術で形成する。このようにして製造した有機EL表示パネル用プラスチック基板の透明導電膜は、その膜特性として、シート抵抗値 $25\ \Omega/\square$ 、透過率 80% を実現することができる。

【0038】ベース基板の厚さが $50\ \mu\text{m}$ から $100\ \mu\text{m}$ のように薄い場合には、有機EL表示パネルの製造工程において、有機EL表示パネル用プラスチック基板が熱処理によりカールしてしまう。また、ストライプ状電極などを構成するITOにクラックが発生し、それ以降の搬送が不可能となる。また、回路部品の接続においても良好な結果は得られない。しかし、ベース基板を1枚板で厚さ $200\ \mu\text{m}$ 以上 $500\ \mu\text{m}$ 以下とした場合は、基板の変形がなく平滑性に優れ、搬送性が良好で、透明導電膜特性も安定する。また、回路部品の接続も問題なく実施することができる。さらに、適度な柔軟性と平面性をもっているため、厚さを $250\ \mu\text{m}$ 以上 $450\ \mu\text{m}$ 以下とすることがよいと考えられる。

【0039】なお、アレイ基板49として前述のプラスチック基板などの有機材料を使用する場合は、液晶層に接する面にもバリア層として無機材料からなる薄膜を形成することが好ましい。この無機材料からなるバリア層は、AIRコートと同一材料で形成されることが好ましい。なお、封止フタ41もアレイ基板49と同様の技術あるいは構成により作製できる。

【0040】また、バリア層を画素電極あるいはストライプ状電極上に形成する場合は、光変調層に印加される電圧のロスを極力低減させるために低誘電率材料を使用することが好ましい。例えば、フッ素を添加したアモルファスカーボン膜（比誘電率 $2.0 \sim 2.5$ ）が例示される。その他、JSR社が製造販売しているLKDシリーズ（LKD-T200シリーズ（比誘電率 $2.5 \sim 2.7$ ）、LKD-T400シリーズ（比誘電率 $2.0 \sim 2.2$ ））が例示される。LKDシリーズはMSQ（methy-sil-sesquioxane）をベースにしたスピン塗布形であり、比誘電率も $2.0 \sim 2.7$ と低く好ましい。その他、ポリイミド、ウレタン、アクリル等の有機材料や、 SiNx 、 SiO_2 などの無機材料でもよい。これらのバリア層材料は補助基板に用いても問題はない。

【0041】プラスチックで形成したアレイ基板49あるいは封止フタ41を用いることにより、割れない、軽量化できるという利点を発揮できる他に、プレス加工できるという利点もある。つまり、プレス加工あるいは切削加工により任意の形状の基板を作製できるということ

である（図3を参照）。また、融解あるいは化学薬品処理により任意の形状、厚みに加工することもできる。例えば、円形にしたり、球形（曲面など）にしたり、円錐状に加工したりすることが例示される。また、プレス加工により、基板の製造と同時に、一方の基板面に凹凸部252を形成し、散乱面の形成、あるいはエンボス加工を行うことができる。

【0042】また、プラスチックをプレス加工することにより形成したアレイ基板49の穴に、バックライトあるいはカバー基板の位置決めピンを挿入できるように形成することも容易である。また、アレイ基板49、封止フタ41内に厚膜技術あるいは薄膜技術で形成したコンデンサあるいは抵抗などの電気回路を構成してもよい。また、封止フタ41に凹部（図示せず）を形成し、アレイ基板49に凸部251を形成し、この凹部と凸部とがちょうどはめ込めるように形成することにより、封止フタ41とアレイ基板49とをはめ込みにより一体化することができるように構成してもよい。

【0043】ガラス基板を用いた場合は、画素16の周辺部にEL素子を蒸着する際に使用する土手を形成していた。土手は樹脂材料を用いて、 $2 \sim 3\ \mu\text{m}$ の厚みで凸部状に形成する。この樹脂からなる土手（凸部）251を封止フタ41またはアレイ基板49のプレス加工による形成と同時に作製することもできる（図3を参照）。これは封止フタ41、アレイ基板49を樹脂で形成することにより発生する大きな効果である。このように、樹脂部を基板と同時に形成することにより製造時間を短縮できるので低コスト化が可能である。また、アレイ基板49などの製造時に、表示領域部にドット状に凸部251を形成する。この凸部251は隣接画素間に形成することで、封止フタ41とアレイ基板49との所定の空間を保持する。

【0044】なお、以上の実施例では、土手として機能する凸部251を形成するとしたが、これに限定されることはない。例えば、画素部をプレス加工などにより掘り下げる（凹部）としてもよい。なお、凹凸部252、凸部251は基板と同時に形成される他、平面な基板を最初に形成し、その後、再加熱によりプレスして凹凸を形成する方式も含まれる。

【0045】また、封止フタ41、アレイ基板49を直接着色することにより、モザイク状のカラーフィルタを形成してもよい。基板にインクジェット印刷などの技術を用いて染料、色素などを塗布し浸透させる。浸透後、高温で乾燥させ、表面をUV樹脂などの樹脂、酸化シリコンあるいは酸化窒素などの無機材料で被覆すればよい。また、グラビア印刷技術、オフセット印刷技術、スピンナーで膜を塗布し現像する半導体パターン形成技術などでカラーフィルタを形成してもよい。カラーフィルタの他、同様の技術を用いて、黒色もしくは暗色あるいは変調する光の補色関係にあるブラックマトリクス

(BM)を着色により直接形成してもよい。また、基板面上に画素に対応するように凹部を形成し、この凹部にカラーフィルタ、BMあるいはTFTを埋め込むように構成してもよい。特に、表面をアクリル樹脂で被膜することが好ましい。この構成では画素電極面などが平滑化されるという利点もある。

【0046】また、導電性ポリマーなどにより基板表面の樹脂を導電化し、画素電極あるいはカソード電極を直接構成してもよい。さらには、基板に大きく穴を開け、この穴にコンデンサなどの電子部品を挿入する構成も例示される。これにより、基板が薄く構成できる利点が発揮される。

【0047】また、基板の表面を切削することにより、自由に模様を形成したりしてもよい。また、封止フタ41、アレイ基板49の周辺部を溶かすことにより形成してもよい。また、有機EL表示パネルの場合は外部からの水分の進入を阻止するため、基板の周辺部を溶かして封止してもよい。

【0048】以上のように、基板を樹脂で形成することにより、基板への穴あけ加工が容易である。また、プレス加工などにより自由に基板形状を構成することができる。

【0049】また、封止フタ41とアレイ基板49を多層回路基板あるいは両面基板として利用できるようにするため、封止フタ41とアレイ基板49に穴をあけ、この穴に導電樹脂などを充填し、基板の表と裏とを電氣的に導通させることも可能である。

【0050】また、封止フタ41、アレイ基板49自身を多層の配線基板としてもよい。例えば、導電樹脂のかわりに導電ピンなどを挿入したり、形成した穴にコンデンサなどの電子部品の端子を差し込めるようにしたり、または基板内に薄膜による回路配線、コンデンサ、コイルあるいは抵抗を形成してもよい。多層化は薄い基板を貼り合わせることで構成されるので、この際、貼り合わせる基板(フィルム)の1枚以上を着色してもよい。

【0051】また、基板材料に染料、色素を加えて基板自身に着色を行ったり、フィルタを形成したりすることができる。また、製造番号を基板作製と同時に形成することもできる。また、表示領域以外の部分だけを着色することにより、積載したICチップに光が照射されることで誤動作を防止できる。

【0052】また、基板の表示領域の半分を異なる色に着色することもできる。これは、樹脂板加工技術(インジェクション加工、コンプレクション加工など)を応用すればよい。また、同様の加工技術を用いることにより表示領域の半分を異なるEL層膜厚にすることもできる。また、表示部と回路部とを同時に形成することもできる。また、表示領域とドライバ積載領域との基板厚みを変化させることも容易である。

【0053】また、封止フタ41またはアレイ基板49に、画素に対応するように、あるいは表示領域に対応するようにマイクロレンズを形成することもできる。また、封止フタ41、アレイ基板49を加工することにより、回折格子を形成してもよい。また、画素サイズよりも十分に微細な凹凸を形成することで、視野角を改善したり、視野角依存性を持たせたりすることができる。なお、このような任意形状の加工、微細加工技術などはオムロン(株)が開発したマイクロレンズを形成するスタンパ技術で実現できる。

【0054】封止フタ41、アレイ基板49には、ストライプ状電極(図示せず)が形成されている。また、基板が空気と接する面には、反射防止膜(AIRコート)が形成され、偏光板(偏光フィルム)など他の構成材料が貼り付けられている場合は、その構成材料の表面などに反射防止膜(AIRコート)が形成される。また、封止フタ41、アレイ基板49に偏光板などが貼り付けられていない場合は、封止フタ41、アレイ基板49に直接、反射防止膜(AIRコート)が形成される。

【0055】なお、以上の実施例は封止フタ41、アレイ基板49がプラスチックで形成されることを中心に説明してきたが、これに限定されるものではない。例えば、封止フタ41、アレイ基板49がガラス基板、金属基板であっても、プレス加工、切削加工などにより、凹凸部252、凸部251などを形成または構成できる。また、基板に限定されるものでもない。例えば、フィルムあるいはシートでもよい。

【0056】また、偏光板の表面へのごみの付着を防止あるいは抑制するため、フッ素樹脂からなる薄膜を形成することが有効である。また、静電気防止のために親水基を有する薄膜、導電性ポリマー膜、金属膜などの導電体膜を塗布あるいは蒸着してもよい。

【0057】なお、表示パネル82の光入射面あるいは光出射面に配置または形成される偏光板(偏光フィルム)は直線偏光するものに限定されるものではなく、楕円偏光となるものであってもよい。また、複数の偏光板を貼り合わせたり、偏光板と位相差板とを組み合わせた、貼り合わせたものを用いてもよい。

【0058】偏光フィルムを構成する主たる材料としてはTACフィルム(トリアセチルセルロースフィルム)が最適である。TACフィルムは、優れた光学特性、表面平滑性および加工適性を有するからである。TACフィルムの製造については、溶液流延製膜技術で作製することが最適である。

【0059】AIRコートは誘電体単層膜もしくは多層膜で形成される構成が例示される。その他、1.35~1.45の低屈折率の樹脂を塗布してもよい。例えば、フッ素系のアクリル樹脂などが例示され、特に屈折率が1.37以上1.42以下のものが良好である。

【0060】また、AIRコートには3層構成あるいは

2層構成がある。3層の場合は広い可視光の波長帯域での反射を防止するために用いられ、これをマルチコートと呼ぶ。2層の場合は特定の可視光の波長帯域での反射を防止するために用いられ、これをVコートと呼ぶ。マルチコートとVコートは表示パネルの用途に応じて使い分ける。なお、AIRコートは2層以上に限定されるものではなく、1層でもよい。

【0061】マルチコートの場合には、酸化アルミニウム (Al_2O_3) を光学的膜厚 $nd = \lambda/4$ 、ジルコニウム (ZrO_2) を $nd = \lambda/2$ 、フッ化マグネシウム (MgF_2) を $nd = \lambda/4$ 積層して形成する。通常、薄膜は $\lambda = 520\text{nm}$ もしくはその近傍の値として形成される。

【0062】Vコートの場合には、一酸化シリコン (SiO) を光学的膜厚 $nd = \lambda/4$ とフッ化マグネシウム (MgF_2) を $nd = \lambda/4$ 、もしくは酸化イットリウム (Y_2O_3) とフッ化マグネシウム (MgF_2) を $nd = \lambda/4$ 積層して形成する。 SiO は青色側に吸収帯域があるため、青色光を変調する場合は物質の安定性からも Y_2O_3 を用いた方がよい。また、 SiO_2 薄膜を使用してもよい。もちろん、低屈折率の樹脂等を用いてAIRコートとしてもよい。例えば、フッ素等のアクリル樹脂が例示される。これらは紫外線硬化タイプを用いることが好ましい。

【0063】なお、表示パネルに静電気がチャージされることを防止するため、カバー基板などの導光板、表示パネル82などの表面に親水性の樹脂を塗布しておくこと、あるいはパネルなどの基板材料を親水性が良好な材料で構成しておくことが好ましい。その他、表面反射を防止するため、偏光板54の表面などにエンボス加工を行ってもよい。

【0064】1画素には複数のスイッチング素子あるいは電流制御素子としての薄膜トランジスタ (TFT) を形成する。形成する TFT は、同じ種類の TFT であってもよいし、Pチャンネル型とNチャンネル型の TFT というように、違う種類の TFT であってもよいが、望ましくはスイッチング用薄膜トランジスタ、駆動用薄膜トランジスタとも同極性のものが望ましい。また TFT の構造は、プレーナー型の TFT というように限定されるものではなく、スタガー型でも逆スタガー型でもよく、また、セルフアライン方式を用いて不純物領域 (ソース、ドレイン) が形成されたものでも、非セルフアライン方式によるものでもよい。

【0065】本発明の EL 素子 15 は、アレイ基板上に、ホール注入電極 (画素電極) となる ITO と、1種以上の有機層と、電子注入電極とが順次積層された EL 構造体を有し、前記アレイ基板には TFT が設けられている。

【0066】本発明の EL 素子を製造するには、まず、基板上に TFT のアレイを所望の形状に形成する。そし

て、平滑化膜上の透明電極 (画素電極) である ITO をスパッタ法で成膜、パターニングする。その後、有機 EL 層、電子注入電極等を積層する。

【0067】TFT としては、通常が多結晶シリコン TFT を用いればよい。TFT は、EL 構造体の各画素の端部に設けられ、その大きさは $10 \sim 30\mu\text{m}$ 程度で、この際の画素の大きさは $20\mu\text{m} \times 20\mu\text{m} \sim 300\mu\text{m} \times 300\mu\text{m}$ 程度である。

【0068】アレイ基板上には、TFT の配線電極が設けられる。配線電極は抵抗が低く、しかもホール注入電極を電氣的に接続して抵抗値を低く抑える機能があり、一般的にその配線電極は、 Al 、 Al および遷移金属 (ただし Ti を除く)、 Ti または窒化チタン (TiN) のいずれか 1 種または 2 種以上を含有するものが使われるが、本発明においてはこの材料に限られるものではない。EL 構造体の下地となるホール注入電極と TFT の配線電極とを併せた全体の厚さは、特に制限はないが、通常 $100 \sim 1000\text{nm}$ 程度とすればよい。

【0069】TFT の配線電極と EL 構造体の有機層との間には絶縁層を設ける。絶縁層は、 SiO_2 等の酸化ケイ素、窒化ケイ素などの無機系材料をスパッタや真空蒸着で成膜したもの、SOG (スピン・オン・ガラス) で形成した酸化ケイ素層、フォトリソ、ポリイミド、アクリル樹脂などの樹脂系材料の塗膜など、絶縁性を有するものであればいずれであってもよいが、中でもポリイミドが好ましい。また、絶縁層は、配線電極を水分や腐食から守る耐食・耐水膜の役割も果たす。

【0070】EL 構造体の発光ピークは 2 つ以上であってもかまわない。例えば、本発明の EL 素子における緑および青色発光部は、青緑色発光の EL 構造体と、緑色透過層または青色透過層との組み合わせにより得られる。赤色発光部は、青緑色発光の EL 構造体と、この EL 構造体の青緑発光を赤色に近い波長に変換する蛍光変換層により得ることができる。

【0071】次に、本発明の EL 素子 15 を構成する EL 構造体について説明する。本発明の EL 構造体は、透明電極である電子注入電極と、1 種以上の有機層と、ホール注入電極とを有する。有機層は、それぞれ少なくとも 1 層のホール輸送層および発光層を有し、例えば、電子注入輸送層、発光層、正孔輸送層、正孔注入層を順次有する。なお、ホール輸送層はなくてもよい。本発明の EL 構造体の有機層は、種々の構成とすることができ、電子注入・輸送層を省略したり、あるいは発光層と一体としたり、正孔注入輸送層と発光層とを混合してもよい。

【0072】ホール注入電極の材料としては、ホール注入電極側から発光した光を取り出す構造であるため、ITO (錫ドープ酸化インジウム)、IZO (亜鉛ドープ酸化インジウム)、 ZnO 、 SnO_2 、 In_2O_3 等が挙げられるが、特に ITO、IZO が好ましい。ホール注

入電極の厚さは、ホール注入を十分行える一定以上の厚さを有すれば良く、通常10～500nm程度とすることが好ましい。また、ホール注入電極の材料には、素子の信頼性を向上させるために駆動電圧が低いことが必要であるが、好ましいものとして、10～30Ω/□(膜厚50～300nm)のITOが挙げられる。実際に使用する場合には、ITO等のホール注入電極界面での反射による干渉効果が、光取り出し効率や色純度を十分に満たすように、電極の膜厚や光学定数を設定すればよい。このホール注入電極は、蒸着法等によっても形成できるが、スパッタ法により形成されることが好ましい。スパッタガスは、特に制限されるものではなく、Ar、He、Ne、Kr、Xe等の不活性ガス、あるいはこれらの混合ガスを用いればよい。

【0073】電子注入電極は、スパッタ法等や好ましくは蒸着法で成膜される仕事関数の小さい金属、化合物または合金を用いた材料で構成される。例えば、K、Li、Na、Mg、La、Ce、Ca、Sr、Ba、Al、Ag、In、Sn、Zn、Zr等の金属元素単体、または安定性を向上させるためにそれらを含む2成分、または3成分の合金系を用いることが好ましい。合金系としては、例えばAg・Mg(Ag:1～20at%)、Al・Li(Li:0.3～14at%)、In・Mg(Mg:50～80at%)、Al・Ca(Ca:5～20at%)等が好ましい。電子注入電極薄膜の厚さは、電子注入を十分行える一定以上の厚さとすれば良く、0.1nm以上、好ましくは1nm以上とすればよい。また、その上限値に特に制限はないが、通常、膜厚は100～500nm程度とすればよい。

【0074】正孔注入層は、ホール注入電極からの正孔の注入を容易にする機能を有し、正孔輸送層は、正孔を輸送する機能および電子を妨げる機能を有し、電荷注入層、電荷輸送層とも称される。

【0075】電子注入輸送層は、発光層に用いる化合物の電子注入輸送機能がさほど高くなくときなどに設けられ、電子注入電極からの電子の注入を容易にする機能、電子を輸送する機能および正孔を妨げる機能を有する。

【0076】これらの正孔注入層、正孔輸送層および電子注入輸送層は、発光層へ注入される正孔や電子を増大・封止し、再結合領域を最適化させ、発光効率を改善する働きがある。なお、電子注入輸送層は、注入機能を持つ層と輸送機能を持つ層とに別個に設けてもよい。

【0077】発光層の厚さ、正孔注入層と正孔輸送層とを併せた厚さおよび電子注入輸送層の厚さは特に限定されず、形成方法によっても異なるが、通常5～100nm程度とすることが好ましい。

【0078】正孔注入層、正孔輸送層の厚さおよび電子注入輸送層の厚さは、再結合・発光領域の設計によるが、発光層の厚さと同程度もしくは1/10～10倍程度とすればよい。正孔注入層、正孔輸送層の厚さ、およ

び、電子注入層と電子輸送層とを分ける場合のそれぞれの厚さは、注入層は1nm以上、輸送層は20nm以上とするのが好ましい。このときの注入層、輸送層の厚さの上限は、通常、注入層で100nm程度、輸送層で100nm程度である。このような膜厚については注入輸送層を2層設けるときも同じである。

【0079】また、組み合わせる発光層や電子注入輸送層や正孔注入輸送層のキャリア移動度やキャリア密度(イオン化ポテンシャル・電子親和力により決まる)を考慮しながら膜厚をコントロールすることで、再結合領域・発光領域を自由に設計することが可能であり、発光色の設計や、両電極の干渉効果による発光輝度・発光スペクトルの制御や、発光の空間分布の制御を可能にできる。

【0080】本発明のEL素子15の発光層には、発光機能を有する化合物である蛍光性物質を含有させる。この蛍光性物質としては、例えば、特開昭63-264692号公報等に開示されているようなトリス(8-キノリノラト)アルミニウム(Alq3)等の金属錯体色素、特開平6-110569号公報(フェニルアントラセン誘導体)、特開平6-114456号公報(テトラアリールエテン誘導体)、特開平6-100857号公報、特開平2-247278号公報等に開示されているような青緑色発光材料が挙げられる。

【0081】青色発光のEL素子15は、発光層の材料に発光波長が約400nmの「DMPhen(Triphenylamine)」を用いるとよい。この際、発光効率を高める目的で、電子注入層(Bathocuproine)と正孔注入層(m-MTDATA)にバンド・ギャップが発光層と同じ材料であるものを採用することが好ましい。これは、バンド・ギャップが3.4eVと大きいDMPhenを発光層に用いただけでは、電子は電子注入層に、正孔は正孔注入層にとどまるので、発光層で電子と正孔の再結合が起こりにくいからである。DMPhenのようにアミン基を備える発光材料は構造が不安定で長寿命化し難いという課題に対しては、DMPhen中で励起したエネルギーをドープアントに移動させ、ドープアントから発光させることにより解決できる。

【0082】EL材料として、りん光発光材料を用いることにより発光効率を向上できる。蛍光発光材料は、その外部量子効率が2～3%程度である。蛍光発光材料は内部量子効率(励起によるエネルギーが光に変わる効率)が25%なのに対し、りん光発光材料は100%近くに達するため、外部量子効率が高くなる。

【0083】また、EL素子の発光層のホスト材料にはCBPを用いるとよい。ここでは赤色(R)や緑色(G)、青色(B)のりん光発光材料をドープしている。ドープした材料はすべてIrを含む。R材料はBtp2Ir(acac)、G材料は(ppy)2I

r (a c a c)、B材料はF l r p i cを用いると良い。

【0084】また、正孔注入層・正孔輸送層には、例えば、特開昭63-295695号公報、特開平2-191694号公報、特開平3-792号公報、特開平5-234681号公報、特開平5-239455号公報、特開平5-299174号公報、特開平7-126225号公報、特開平7-126226号公報、特開平8-100172号公報、EP0650955A1等に記載されている各種有機化合物を用いることができる。

【0085】なお、上記これらの正孔注入輸送層、発光層および電子注入輸送層の形成には、均質な薄膜が形成できることから真空蒸着法を用いることが好ましい。

【0086】(実施の形態3)以下、本発明のEL表示パネルの製造方法および構造についてさらに詳しく説明をする。先にも説明したように、まず、アレイ基板49に画素を駆動するTFT11を形成する。1つの画素は4個または5個のTFTで構成される。また、画素は電流プログラムされ、プログラムされた電流がEL素子15に供給される。通常、電流プログラムされた値は電圧値としてコンデンサ19に保持される。このTFT11の組み合わせなど画素構成については後に説明をする。次に、TFT11に正孔注入電極としての画素電極48を形成する。画素電極48はフォトリソグラフィによりパターン化する。なお、TFT11の下層、あるいは上層にはTFT11に光入射することにより発生するホットコンダクタ現象(以後、ホットコンと呼ぶ)による画質劣化を防止するために、遮光膜を形成または配置する。

【0087】プラスチック基板にTFTを形成するためには、有機半導体を形成する表面を加工し、炭素と水素からなるペンタセン分子を利用した電子薄膜を形成すればよい。この薄膜は、従来の結晶粒の20~100倍の大きさを持つとともに、電子デバイス製造に適した十分な半導体特性を具備する。

【0088】ペンタセン分子は、シリコン基板上で成長する際に表面の不純物に付着する傾向がある。このため、成長が不規則となり、高品質のデバイスを製造するには小さすぎる結晶粒になる。結晶粒をより大きく成長させるために、まずシリコン基板の上に、シクロヘキセンと呼ばれる分子の単一層「分子パフファ」を塗布するとよい。この層がシリコン上の「sticky sites(くっつきやすい場所)」を覆うため、清浄な表面ができてペンタセン分子が非常に大きな結晶粒にまで成長する。このような新しい結晶粒の大きなペンタセン分子の薄膜を低い温度で塗布して使うことにより、フレキシブルなトランジスタを大量生産することができる。

【0089】また、基板上にゲートとなる金属薄膜を島状に形成し、この上にアモルファスシリコン膜を蒸着あるいは塗布した後、加熱して半導体膜を形成してもよい。島状に形成した部分に半導体膜が良好に結晶化す

る。そのため、モビリティが良好となる。

【0090】洗浄時に酸素プラズマ、O₂アッシャーを使用すると、画素電極48の周辺部の平滑化膜71も同時にアッシングされ、画素電極48の周辺部がえぐられてしまう。この課題を解決するために、本発明では図4で示すように、画素電極48の周辺部にアクリル樹脂からなるエッジ保護膜81を形成している。エッジ保護膜81の構成材料としては、平滑化膜71を構成するアクリル系樹脂、ポリイミド樹脂などの有機材料と同一材料が例示され、その他、SiO₂、SiNxなどの無機材料や、Al₂O₃なども例示される。

【0091】エッジ保護膜81は画素電極48のパターニング後、画素電極48間を埋めるように形成される。もちろん、このエッジ保護膜81を2μm以上4μm以下の高さに形成し、有機EL材料を塗り分ける際のメタルマスクの土手(メタルマスクが画素電極48と直接接しないようにするスペーサ)としてもよいことは言うまでもない。

【0092】真空蒸着装置は市販の高真空蒸着装置(日本真空技術株式会社製、EBV-6DA型)を改造した装置を用いる。主たる排気装置は排気速度1500リットル/minのターボ分子ポンプ(大阪真空株式会社製、TC1500)であり、到達真空度は約1×10⁻⁶Torr(Pa)以下であり、全ての蒸着は2~3×10⁻⁶Torr(Pa)の範囲で行う。また、全ての蒸着はタングステン製の抵抗加熱式蒸着ボートに直流電源(菊水電子株式会社製、PAK10-70A)を接続して行うとよい。

【0093】このようにして真空層中に配置したアレイ基板上に、カーボン膜20~50nmを成膜する。次に、正孔注入層として4-(N,N-ビス(p-メチルフェニル)アミノ)-α-フェニルスチルベンを0.3nm/sの蒸着速度で膜厚約5nmに形成する。

【0094】正孔輸送層として、N,N'-ビス(4'-ジフェニルアミノ-4-ビフェニル)-N,N'-ジフェニルベンジジン(保土ヶ谷化学株式会社製)と、4-N,N'-ジフェニルアミノ-α-フェニルスチルベンを、それぞれ0.3nm/sおよび0.01nm/sの蒸着速度で共蒸着して膜厚約80nmに形成する。

【0095】発光層(電子輸送層)として、トリス(8-キノリノラト)アルミニウム(同仁化学株式会社製)を0.3nm/sの蒸着速度で膜厚約40nmに形成する。

【0096】次に、電子注入電極として、Al-Li合金(高純度化学株式会社製、Al/Li重量比99/1)から低温でLiのみを、約0.1nm/sの蒸着速度で膜厚約1nmに形成し、続いてそのAl-Li合金をさらに昇温し、Liが出尽くした状態から、Alのみを、約1.5nm/sの蒸着速度で膜厚約100nmに形成し、積層型の電子注入電極とした。

【0097】このようにして作成した有機薄膜EL素子は、蒸着槽内を乾燥窒素でリークした後、乾燥窒素雰囲気下で、コーニング7059ガラス製の封止フタ41をシール剤45（アネルバ株式会社製、商品名：スーパーバックシール953-7000）で貼り付けて表示パネルとした。なお、封止フタ41とアレイ基板49との空間には乾燥剤55を配置する。これは、有機EL膜が湿度に弱いため、乾燥剤55によりシール剤45を浸透する水分を吸収し、有機EL層47の劣化を防止しているのである。

【0098】シール剤45からの水分の浸透を抑制するためには外部からの経路（パス）を長くすることが良好な対策である。このため、本発明の表示パネルでは、表示領域の周辺部に微細な凹部43、凸部44を形成している。アレイ基板49の周辺部に形成した凸部44は少なくとも二重に形成する。凸と凸との間隔（形成ピッチ）は100 μ m以上500 μ m以下に、また、凸の高さは30 μ m以上300 μ m以下とすることが好ましい。この凸部はスタンプ技術で形成する。このスタンプ技術にはオムロン社がマイクロレンズ形成方法として採用している方式、松下電器がCDのピックアップレンズで微小レンズの形成方法として用いている方式を応用する。

【0099】一方、封止フタ41にも凹部43を形成する。凹部43の形成ピッチは凸部44の形成ピッチと同一にする。このように、形成ピッチを同一にすることで凹部43に凸部44がちょうどはまり込み、表示パネルの製造時に封止フタ41とアレイ基板49との間に位置ずれが発生しない。凹部43と凸部44間にはシール剤45を配置する。シール剤45は封止フタ41とアレイ

基板49とを接着するとともに、外部からの水分の浸入を防止する。

【0100】シール剤45としてはUV（紫外線）硬化型でアクリル系の樹脂からなるものを用いること、また、アクリル樹脂はフッ素基を有するものを用いることが好ましい。その他、エポキシ系の接着剤あるいは粘着剤を用いてもよい。接着剤あるいは粘着剤の屈折率は1.47以上1.54以下のものを用いることが好ましい。特に、シール接着剤は酸化チタンの微粉末、酸化シリコンなどの微粉末を重量比で65%以上95%以下の割合で添加し、この微粉末の粒子径の平均直径を20 μ m以上100 μ m以下とすることが好ましい。これは微粉末の重量比が多くなるほど外部からの湿度の進入を抑制する効果が高くなるからである。しかし、あまりに多いと気泡などが入りやすく、かえって空間が大きくなりシール効果が低下してしまう。

【0101】乾燥剤の重量はシールの長さ10mmあたり0.04g以上0.2g以下、特に0.06g以上0.15g以下とすることが望ましい。これは乾燥剤の量が少なすぎると、水分防止効果が薄れ、すぐに有機E

L層が劣化するためである。逆に多すぎると、乾燥剤がシールをする際に障害となり、良好なシールを行うことができない。

【0102】図2ではガラスの封止フタ41を用いて封止する構成であるが、図5のようにフィルムを用いた封止であってもよい。例えば、封止フィルムとしては電解コンデンサのフィルムにDLC（ダイヤモンドライクカーボン）を蒸着したものを用いることが例示される。このフィルムは水分浸透性が極めて悪い（防湿）ので、封止膜73として使用できる。また、DLC膜を透明電極72の表面に直接蒸着する構成でもよい。薄膜の膜厚は $n \cdot d$ （ n は薄膜の屈折率、複数の薄膜が積層されている場合はそれらの屈折率を総合（各薄膜の $n \cdot d$ を計算）して計算する。 d は薄膜の膜厚、複数の薄膜が積層されている場合はそれらの屈折率を総合して計算する。）が、EL素子15の発光主波長 λ 以下となるようにするとよい。この条件を満たすことにより、EL素子15からの光取り出し効率が、ガラス基板で封止した場合に比較して2倍以上になる。また、アルミニウムと銀の合金あるいは混合物あるいは積層物を形成してもよい。

【0103】有機EL層47から発生した光の半分は、反射膜46で反射され、アレイ基板49を透過して出射される。しかし、反射膜46は外光を反射するため写り込みが発生し、表示コントラストを低下させる。この対策のために、アレイ基板49に $\lambda/4$ 板50および偏光板54を配置している。なお、画素が反射電極の場合は、有機EL層47から発生した光は上方向に出射される。したがって、 $\lambda/4$ 板50および偏光板54は光出射側に配置されなければならない。なお、反射型画素は、画素電極48を、アルミニウム、クロム、銀などで構成して得られる。また、画素電極48の表面に、凸部（もしくは凹凸部）を設けることで有機EL層47との界面が広がって発光面積が大きくなり、発光効率が向上する。

【0104】アレイ基板49と偏光板（偏光フィルム）54間には1枚あるいは複数の位相フィルム（位相板、位相回転手段、位相差板、位相差フィルム）が配置される。位相フィルムとしてはポリカーボネートを使用することが好ましい。この位相フィルムは入射光を出射光に対して位相差を発生させ、効率よく光変調を行うのに寄与する。

【0105】その他、位相フィルムとして、ポリエステル樹脂、PVA樹脂、ポリサルホン樹脂、塩化ビニール樹脂、ゼオネックス樹脂、アクリル樹脂、ポリスチレン樹脂等の有機樹脂板あるいは有機樹脂フィルムなどを用いてもよい。その他、水晶などの結晶を用いてもよい。1つの位相板の位相差は一軸方向に50nm以上350nm以下、さらには80nm以上220nm以下とすることが好ましい。

【0106】なお、図5に図示するように、位相フィルムと偏光板とを一体化した円偏光板74（円偏光フィルム）を用いてもよい。

【0107】 $\lambda/4$ 板（位相フィルム）50は染料あるいは顔料で着色し、カラーフィルタとしての機能をもたせることが好ましい。特に、有機EL層は赤（R）の純度が悪いので、着色した $\lambda/4$ 板50で一定の波長範囲をカットして色温度を調整する。カラーフィルタは、染色フィルタとして顔料分散タイプの樹脂で設けられるのが一般的であり、この顔料が特定の波長帯域の光を吸収して、吸収されなかった波長帯域の光を透過する。

【0108】以上のように、位相フィルムの一部もしくは全体を着色したり、一部もしくは全体に拡散機能をもたせてもよい。また、表面をエンボス加工したり、反射防止のために反射防止膜を形成してもよい。また、画像表示に有効でない箇所もしくは支障のない箇所に、遮光膜もしくは光吸収膜を形成し、表示画像の黒レベルをひきしめたり、ハレーション防止によるコントラスト向上効果を発揮させたりすることが好ましい。また、位相フィルムの表面に凹凸を形成することにより、かまぼこ状あるいはマトリックス状にマイクロレンズを形成してもよい。マイクロレンズは1つの画素電極あるいは3原色の画素にそれぞれ対応するように配置する。

【0109】先にも記述したが、カラーフィルタの形成時に圧延、もしくは光重合により位相差を発生させることができるので、位相フィルムの機能はカラーフィルタに持たせてもよい。その他、図5の平滑化膜71を光重合させることにより位相差を持たせてもよい。このように構成すれば、位相フィルムを基板外に構成あるいは配置する必要がなくなり、表示パネルの構成も簡易になり低コスト化が望める。なお、以上の事項は偏光板54にも適用できる。

【0110】偏光板54はヨウ素などをポリビニールアルコール（PVA）樹脂に添加した樹脂フィルムのもので例示される。一対の偏光分離手段の偏光板は入射光のうち特定の偏光軸方向と異なる方向の偏光成分を吸収することにより偏光分離を行うので、光の利用効率が比較的悪い。そこで、入射光のうち、特定の偏光軸方向と異なる方向の偏光成分（reflective polarizer：リフレクティブ・ポライザー）を反射することにより偏光分離を行う反射偏光子を用いてもよい。このように構成すれば、反射偏光子により光の利用効率が高まって、偏光板を用いた上述の例よりもより明るい表示が可能となる。

【0111】また、このような偏光板や反射偏光子以外にも、本発明の偏光分離手段としては、コレステリック液晶層と（1/4） λ 板を組み合わせたもの、ブリュースターの角度を利用して反射偏光と透過偏光とに分離するもの、ホログラムを利用するもの、偏光ビームスプリッタ（PBS）等を用いることも可能である。

【0112】なお、図2では図示していないが、偏光板54の表面にはAIRコートが施している。

【0113】画素電極48にはTFTが接続されるとしたがこれに限定されるものではない。アクティブマトリックスには、スイッチング素子として薄膜トランジスタ（TFT）の他、ダイオード方式（TFD）、バリスタ、サイリスタ、リングダイオード、ホトダイオード、ホトトランジスタ、FET、MOSトランジスタ、PLZT素子などでも可能である。つまり、スイッチング素子、駆動素子を構成するものはこれらのいずれでも使用することができる。

【0114】また、TFTにはLDD（ロー ドーピング ドレイン）構造を採用することが好ましい。なお、TFTとは、FETなどスイッチング等のトランジスタ動作をするすべての素子一般を意味する。また、EL膜の構成、パネル構造などは単純マトリックス型表示パネルにも適用できる。また、本明細書ではEL素子として有機EL素子（OEL、PEL、PLED、OLED）を例にあげて説明するがこれに限定されるものではなく、無機EL素子にも適用される。

【0115】有機EL表示パネルに用いられるアクティブマトリックス方式は、（1）特定の画素を選択し、必要な表示情報を与えられること、（2）1フレーム期間を通じてEL素子に電流を流すことができることという2つの条件を満たさなければならない。

【0116】この2つの条件を満たすため、図115に示す従来の有機ELの素子構成において、第1のTFT11aは画素を選択するためのスイッチング用薄膜トランジスタ、第2のTFT11bはEL素子15に電流を供給するための駆動用薄膜トランジスタとする。

【0117】ここで液晶に用いられるアクティブマトリックス方式と比較すると、スイッチング用TFT11aは液晶用にも必要であるが、駆動用TFT11bはEL素子15を点灯させるために必要である。この理由として、液晶の場合は、電圧を印加することでオン状態を保持することができるが、EL素子15の場合は、電流を流し続けなければ画素16の点灯状態を維持できないからである。

【0118】したがって、有機EL表示パネルでは電流を流し続けるために、駆動用TFT11bをオンさせ続けなければならない。まず、走査線、データ線が両方ともオンになると、スイッチング用TFT11aを通してコンデンサ19に電荷が蓄積される。このコンデンサ19が駆動用TFT11bのゲートに電圧を加え続けるため、スイッチング用TFT11aがオフになっても、電流供給線20から電流が流れ続け、1フレーム期間にわたり画素16をオンできる。

【0119】この構成を用いて階調を表示させる場合、駆動用TFT11bのゲート電圧として階調に応じた電圧を印加する必要がある。したがって、駆動用TFT1

1bのオン電流のばらつきがそのまま表示に現れる。

【0120】トランジスタのオン電流は単結晶で形成されたトランジスタであれば極めて均一であるが、安価なガラス基板に形成することのできる形成温度が450度以下の低温ポリシリコン技術で形成した低温多結晶トランジスタでは、±0.2V～0.5Vの範囲でその閾値のばらつきを持つため、駆動用TFT11bを流れるオン電流がこれに対応してばらつき、表示にむらが発生する。これらのむらは、閾値電圧のばらつきのみならず、TFTの移動度、ゲート絶縁膜の厚みなどでも発生する。また、TFT11の劣化によっても特性は変化する。

【0121】したがって、アナログ的に階調を表示させる方法では、均一な表示を得るために、デバイスの特性を厳密に制御する必要があるが、現状の低温多結晶ポリシリコンTFTではこのばらつきを所定範囲以内に抑えるというスペックを満たせない。

【0122】この問題を解決するため、1画素内に4つのトランジスタを設けて、閾値電圧のばらつきをコンデンサにより補償させて均一な電流を得る方法や、定電流回路を1画素ごとに形成し電流の均一化を図る方法などが考えられる。

【0123】しかしながら、これらの方法は、プログラムされる電流がEL素子15を通じてなされるため、電流経路が変化した場合に電源ラインに接続されるスイッチングトランジスタに対し、駆動電流を制御するトランジスタがソースフォロワとなり駆動マージンが狭くなる。そのため、駆動電圧が高くなるという課題を有することになる。

【0124】また、電源に接続するスイッチングトランジスタをインピーダンスの低い領域で使用する必要があるが、この動作範囲がEL素子15の特性変動により影響を受けるという課題もある。その上、飽和領域における電圧電流特性に、キンク電流が発生した場合、またはトランジスタの閾値電圧の変動が発生した場合、記憶された電流値が変動するという課題もある。

【0125】本発明のEL素子構造は、上記課題に対して、EL素子15に流れる電流を制御するTFT11が、ソースフォロワ構成とならず、かつそのトランジスタにキンク電流があっても、キンク電流の影響を最小限に抑えることができ、記憶される電流値の変動を小さくすることができる構成である。

【0126】本発明のEL素子構造は、具体的には図6(a)に示すように、単位画素が最低4つからなる複数のTFT11ならびにEL素子15により形成される。なお、画素電極はソース信号線と重なるように構成する。つまり、ソース信号線18上に絶縁膜あるいはアクリル材料からなる平滑化膜を形成して絶縁し、この絶縁膜上に画素電極を形成する。このように、ソース信号線18上に画素電極を重ねる構成をハイパーチャ(H

A)構造と呼ぶ。

【0127】第1のゲート信号線(第1の走査線)17aをアクティブ(ON電圧を印加)とすることにより、第1のTFT(あるいはスイッチング素子)11aおよび第3のTFT(あるいはスイッチング素子)11cを通して、前記EL素子15に流すべき電流値を流し、第1のTFT11aのゲートとドレイン間を短絡するように第2のTFT11bが第1のゲート信号線17aをアクティブ(ON電圧を印加)とすることで開くと共に、第1のTFT11aのゲートとソース間に接続されたコンデンサ19に、前記電流値を流すように第1のTFT11aのゲート電圧(あるいはドレイン電圧)を記憶する。

【0128】なお、第1のTFT11aのソースゲート間容量であるコンデンサ19は0.2pF以上の容量とすることが好ましい。他の構成として別途、コンデンサ19を形成する例もある。つまり、これはコンデンサ電極レイヤーとゲート絶縁膜およびゲートメタルから蓄積容量を形成する構成である。M3トランジスタ11cのリークによる輝度低下を防止する観点、表示動作を安定化させるための観点からは、このように別途コンデンサを構成する方が好ましい。なお、コンデンサ19の大きさは、0.2pF以上2pF以下、中でも0.4pF以上1.2pF以下とすることがよい。

【0129】また、コンデンサ19は隣接する画素間の非表示領域に形成されることが好ましい。一般的に、フルカラー有機EL層を作成する場合、有機EL層をメタルマスクによるマスク蒸着で形成するため、有機EL層の形成位置にマスク位置ずれが発生し、各色の有機EL層が重なる危険性がある。そのため、各色の隣接する画素間の非表示領域は10μm以上離れなければならないが、また、この部分は発光に寄与しない部分となる。したがって、コンデンサ19をこの領域に形成することは開口率向上のために有効な手段となる。

【0130】次に、第1のゲート信号線17aを非アクティブ(OFF電圧を印加)、第2のゲート信号線17bをアクティブとして、電流の流れる経路を前記第1のTFT11aならびにEL素子15に接続された第4のTFT11dならびに前記EL素子15を含む経路に切り替えて、記憶した電流を前記EL素子15に流すように動作する。

【0131】この回路は1画素内に4つのTFT11を有しており、第1のトランジスタM1のゲートは第2のトランジスタM2のソースに接続されており、第2のトランジスタM2および第3のトランジスタM3のゲートは第1のゲート信号線17aに、第2のトランジスタM2のドレインは第3のトランジスタM3のソースならびに第4のトランジスタM4のソースに接続され、第3のトランジスタM3のドレインはソース信号線18に接続されている。第4のトランジスタM4のゲートは第2の

ゲート信号線 17b に接続され、第 4 のトランジスタ M4 のドレインは EL 素子 15 のアノード電極に接続されている。

【0132】なお、図 6 ではすべての TFT は P チャンネルで構成している。P チャンネルは多少、N チャンネルの TFT と比較してモビリティが低い、耐圧が大きくまた劣化も発生しにくいので好ましい。しかし、本発明は EL 素子構成を P チャンネルで構成することのみに限定されるものではない。N チャンネルのみで構成してもよい（図 70、図 71、図 75 など参照）、また、N チャンネルと P チャンネルの両方を用いて構成してもよい。

【0133】なお、第 3 および第 4 のトランジスタは同一の極性で構成し、かつ N チャンネルで構成し、第 1 および第 2 のトランジスタは P チャンネルで構成することが好ましい。一般的に、P チャンネルトランジスタは N チャンネルトランジスタと比較して、信頼性が高い、キック電流が少ないなどの特長があり、電流を制御することによって目的とする発光強度を得る EL 素子に対しては、第 1 の TFT 11a を P チャンネルにすると効果が大きくなる。

【0134】（実施の形態 4）以下、本発明の EL 素子構成について図 7 を用いて説明する。本発明の EL 素子構成は 2 つのタイミングにより制御される。第 1 のタイミングは、必要な電流値を記憶させるタイミングである。このタイミングで TFT 11b ならびに TFT 11c が ON することにより、等価回路として図 7（a）となる。ここで、信号線より所定の電流 I_1 が書き込まれ、TFT 11a はゲートとドレインが接続された状態となり、この TFT 11a と TFT 11c を通じて電流 I_1 が流れる。したがって、TFT 11a のゲートソース間の電圧は電流 I_1 が流れるように V_1 となる。

【0135】第 2 のタイミングは、TFT 11a と TFT 11c が閉じ、TFT 11d が開くタイミングであり、そのときの等価回路は図 7（b）となる。この場合、M1 の TFT 11a は常に飽和領域で動作するため電流 I_1 は一定となり、TFT 11a のソースゲート間の電圧 V_1 は保持されたままとなる。

【0136】なお、TFT 11a のゲートと TFT 11c のゲートは同一のゲート信号線 17a に接続している。しかし、TFT 11a のゲートと TFT 11c のゲートとを異なるゲート信号線 17b に接続してもよい（SA1 と SA2 とを個別に制御できるようにする）。つまり、1 画素のゲート信号線は 3 本となる（図 6 の構成は 2 本である）。TFT 11a のゲートの ON/OFF タイミングと TFT 11c のゲートの ON/OFF タイミングを個別に制御することにより、TFT 11 のばらつきによる EL 素子 15 の電流値ばらつきをさらに低減することができる。

【0137】第 1 のゲート信号線 17a と第 2 のゲート

信号線 17b とを共通にし、第 3 および第 4 のトランジスタを異なった導電型（N チャンネルと P チャンネル）とすると、駆動回路の簡略化、ならびに画素の開口率を向上させることが出来る。このように構成すれば、本発明の動作タイミングとしては信号線からの書き込み経路がオフになる。すなわち、所定の電流が記憶される際に、電流の流れる経路に分岐があると、正確な電流値が M1 のソースゲート間容量（コンデンサ）に記憶されない。第 3 のトランジスタ M3 と第 4 のトランジスタ M4 を異なった導電形とし、お互いの閾値を制御することによって走査線の切り替わりのタイミングで必ず M3 がオフした後に M4 がオンすることを可能にする。ただしこの場合、お互いの閾値を正確にコントロールする必要があるのでプロセスへの注意を要する。

【0138】なお、以上述べた回路は最低 4 つのトランジスタで実現可能であるが、より正確なタイミングのコントロールあるいは後述するように、ミラー効果低減のために TFT 11e（M5）を図 6（b）に示すようにカスケード接続してトランジスタの総数を 4 以上にしても動作原理は同じである。このように、TFT 11e を加えた構成とすることにより、第 3 のトランジスタ M3 を介してプログラムした電流をより精度よく EL 素子 15 に流すことができるようになる。

【0139】図 6 の構成において、第 1 の TFT 11a の飽和領域における電流値 I_{ds} が下式の条件を満たすことがさらに好ましい。なお、下式において λ の値は、隣接する画素間において、0.01 以上 0.06 以下の条件を満たす。

$$【0140】I_{ds} = k * (V_{gs} - V_{th})^2 * (1 + V_{ds} * \lambda)$$

本発明では、TFT 11a の動作範囲を飽和領域に限定するが、一般的に飽和領域におけるトランジスタ特性は、理想的な特性より外れ、ソースドレイン間電圧の影響を受ける（ミラー効果）。

【0141】隣接する画素におけるそれぞれの TFT 11a に ΔV_t なる閾値のシフトが発生した場合を考える。この場合、記憶される電流値は同じである。閾値のシフトを ΔL とすれば、約 $\Delta V \times \lambda$ は TFT 11a の閾値が変動することによる、EL 素子 15 の電流値のずれに相当する。したがって、電流のずれを x （%）以下に抑えるためには、閾値のシフトの許容量を隣接する画素間で y （V）として、 λ は $0.01 \times x / y$ 以下でなければならないことが判る。この許容値はアプリケーションの輝度により変化する。輝度が $100 \text{ cd/m}^2 \sim 1000 \text{ cd/m}^2$ までの輝度領域においては、変動量が 2% 以上あれば人間は変動した境界線を認識する。したがって、輝度（電流量）の変動量が 2% 以内であることが必要である。輝度が 100 cd/m^2 より高い場合は隣接する画素の輝度変化量は 2% 以上となる。本発明の EL 表示素子を携帯端末用ディスプレイとして用いる

場合、その要求輝度は 100cd/m^2 程度である。実際に、図6の画素構成を試作し、閾値の変動を測定すると、隣接する画素のTFT11aにおいては閾値の変動の最大値は 0.3V であることが判った。したがって、輝度の変動を2%以内に抑えるためには λ は 0.06 以下でなければならない。しかし、人間が変化を認識することができないので、 0.01 以下にする必要はない。また、この閾値のばらつきを達成するためにはトランジスタサイズを十分大きくする必要があり、非現実的である。

【0142】また、第1のTFT11aの飽和領域における電流値 I_{ds} が下式を満たすように構成されることが好ましい。なお、 λ の変動は隣接する画素間において1%以上5%以下とする。

$$\text{【0143】 } I_{ds} = k * (V_{gs} - V_{th})^2 * (1 + V_{ds} * \lambda)$$

隣接する画素間において、たとえ閾値の変動が存在しない場合でも上記式の λ に変動があれば、EL素子を流れる電流値が変動する。変動を $\pm 2\%$ 以内に抑えるためには、 λ の変動を $\pm 5\%$ に抑えなければならない。しかし、人間が変化を認識することができないので、1%以下にする必要はない。また、1%以下を達成するためにはトランジスタサイズを相当に大きくする必要があり、非現実的である。

【0144】また、実験、アレイ試作および検討によれば、第1のTFT11aのチャンネル長を $10\mu\text{m}$ 以上 $200\mu\text{m}$ 以下、さらには、 $15\mu\text{m}$ 以上 $150\mu\text{m}$ 以下とすることが好ましい。これは、チャンネル長 L を長くした場合、チャンネルに含まれる粒界が増えることによって電界が緩和され、キンク効果が低く抑えられるためであると考えられる。

【0145】また、画素を構成するTFT11が、レーザー再結晶化方法（レーザアニール）により形成されたポリシリコンTFTで形成され、すべてのトランジスタにおけるチャンネルの方向がレーザーの照射方向に対して同一の方向であることが好ましい。

【0146】本発明の目的は、トランジスタ特性のばらつきが表示に影響を与えない回路構成を提案するものであり、そのためにトランジスタが4つ以上必要である。これらのトランジスタ特性により回路定数を決定する場合、4つのトランジスタの特性がそろわなければ、適切な回路定数を求めることが困難である。レーザー照射の長軸方向に対して、チャンネル方向が水平の場合と垂直の場合では、トランジスタ特性の閾値と移動度が異なって形成される。なお、どちらの場合もばらつき程度の同じである。水平方向と垂直方向では移動度、閾値の平均値が異なるので、画素を構成するすべてのトランジスタのチャンネル方向は同一である方が望ましい。

【0147】また、コンデンサ19の容量値を C_s 、第2のTFT11bのオフ電流値を I_{off} とした場合、

次式を満たすことが好ましい。

$$\text{【0148】 } 3 < C_s / I_{off} < 24$$

さらに好ましくは、次式を満たすことが好ましい。

$$\text{【0149】 } 6 < C_s / I_{off} < 18$$

TFT11bのオフ電流を 5pA 以下とすることにより、EL素子を流れる電流値の変化を2%以下に抑えることが可能である。これはリーク電流が増加すると、電圧非書き込み状態においてゲートソース間（コンデンサの両端）に貯えられた電荷を1フィールド間保持できないためである。したがって、コンデンサ19の蓄積容量が大きければオフ電流の許容量も大きくなる。前記式を満たすことによって隣接画素間の電流値の変動を2%以下に抑えることができる。

【0150】また、アクティブマトリックスを構成するトランジスタがp-chポリシリコン薄膜トランジスタによって構成され、TFT11bがデュアルゲート構造以上であるマルチゲート構造とされることが好ましい。TFT11bは、TFT11aのソースドレイン間のスイッチとして作用するため、できるだけON/OFF比の高い特性が要求される。この要求を満たすために、TFT11bのゲートの構造をマルチゲート構造とすることでON/OFF比の高い特性を実現できるようにするのである。

【0151】また、アクティブマトリックスを構成するトランジスタがポリシリコン薄膜トランジスタで構成されており、各トランジスタの（チャンネル幅 W ）*（チャンネル長 L ）を $54\mu\text{m}^2$ 以下とすることが好ましい。（チャンネル幅 W ）*（チャンネル長 L ）とトランジスタ特性のばらつきとは相関がある。トランジスタ特性におけるばらつきの原因は、レーザーの照射によるエネルギーのばらつきなどに起因するものが多く、これを吸収するためには、できるだけレーザーの照射ピッチ（一般的には $10\mu\text{m}$ ）をチャンネル内により多く含む構造とすることが望ましい。そこで、各トランジスタの（チャンネル幅 W ）*（チャンネル長 L ）を $54\mu\text{m}^2$ 以下とすることによりレーザー照射に起因するばらつきがなく、特性のそろった薄膜トランジスタを得ることができる。なお、あまりにもトランジスタサイズが小さくなると面積による特性ばらつきが発生するので、各トランジスタの（チャンネル幅 W ）*（チャンネル長 L ）は $9\mu\text{m}^2$ 以上、さらには、 $16\mu\text{m}^2$ 以上 $45\mu\text{m}^2$ 以下となるようにすることが好ましい。

【0152】また、隣接する単位画素での第1のTFT11aの移動度変動を20%以下にすることが好ましい。なぜなら、移動度が不足することによりスイッチングトランジスタの充電能力が劣化し、時間内に必要な電流値を流すまでに、第1のトランジスタM1のゲートソース間の容量が充電できないからである。したがって、移動のばらつきを20%以内に抑えることで画素間の輝度のばらつきを認知限以下にすることができる。

【0153】以上、図6を画素構成として説明したが、これらは図8、図9に図示する構成にも適用することができる。以下、図8などの画素構成について説明する。

【0154】EL素子15に流す電流を設定する時、変換用TFT11aに流す信号電流を I_w 、その結果、変換用TFT11aに生ずるゲートソース間電圧を V_{gs} とする。書き込み時はTFT11dによって変換用TFT11aのゲートドレイン間が短絡されているので、変換用TFT11aは飽和領域で動作する。よって、信号電流 I_w は、以下の式で与えられる。

$$【0155】(数1) \quad I_w = \mu_1 \cdot C_{ox1} \cdot W_1 / L_1 / 2 (V_{gs} - V_{th1})^2$$

ここでの C_{ox} は単位面積当たりのゲート容量であり、 $C_{ox} = \epsilon_0 \cdot \epsilon_r / d$ で与えられる。 V_{th} はTFTの閾値、 μ はキャリアの移動度、 W はチャンネル幅、 L はチャンネル長、 ϵ_0 は真空の移動度、 ϵ_r はゲート絶縁膜の比誘電率を示し、 d はゲート絶縁膜の厚みである。

【0156】EL素子15に流れる電流を I_{dd} とすると、 I_{dd} は、EL素子15と直列に接続される駆動用TFT11bによって電流レベルが制御される。本発明では、そのゲートソース間電圧が(数1)式の V_{gs} に一致するので、駆動用TFT11bが飽和領域で動作すると仮定すれば、以下の式が成り立つ。

$$【0157】(数2) \quad I_{drv} = \mu_2 \cdot C_{ox2} \cdot W_2 / L_2 / 2 (V_{gs} - V_{th2})^2$$

絶縁ゲート電界効果型の薄膜トランジスタ(TFT)が飽和領域で動作するための条件は、 V_{ds} をドレインソース間電圧として、一般に以下の式で与えられる。

【0158】

$$(数3) \quad |V_{ds}| > |V_{gs} - V_{th}|$$

ここで、変換用TFT11aと駆動用TFT11bは、小さな画素内部に近接して形成されるため、大略 $\mu_1 = \mu_2$ 及び $C_{ox1} = C_{ox2}$ であり、特に工夫を凝らさない限り、 $V_{th1} = V_{th2}$ と考えられる。すると、このとき(数1)式及び(数2)式から容易に以下の式が導かれる。

$$【0159】(数4) \quad I_{drv} / I_w = (W_2 / L_2) / (W_1 / L_1)$$

ここで注意すべき点は、(数1)式及び(数2)式において、 μ 、 C_{ox} 、 V_{th} の値自体は、画素毎、製品毎、あるいは製造ロット毎にばらつくのが普通であるが、(数4)式はこれらのパラメータを含まないので、 I_{drv} / I_w の値はこれらのばらつきに依存しないということである。仮に、 $W_1 = W_2$ 、 $L_1 = L_2$ と設計すれば、 $I_{drv} / I_w = 1$ 、すなわち I_w と I_{drv} が同一の値となり、EL素子15に流れる駆動電流 I_{dd} は、TFTの特性ばらつきによらず、正確に信号電流 I_w と同一になるので、結果としてEL素子15の発光輝度を正確に制御できる。

【0160】以上のように、変換用TFT11aの閾値 V_{th1} と駆動用TFT11bの閾値 V_{th2} は基本的に同一である為、両TFTにおける共通電位にあるゲートに対してカットオフレベルの信号電圧が印加されると、変換用TFT11a及び駆動用TFT11bは共に非導通状態になるはずである。ところが、実際には画素内でもパラメータのばらつきなどの要因により、 V_{th1} よりも V_{th2} が低くなってしまうことがある。この時、駆動用TFT11bにサブスレッショルドレベルのリーク電流が流れる為、EL素子15が微発光を呈する。この微発光により画面のコントラストが低下し、表示特性が損なわれる。

【0161】本発明では特に、駆動用TFT11bの閾電圧 V_{th2} が画素内で対応する変換用TFT11aの閾電圧 V_{th1} より低くならないように設定している。例えば、駆動用TFT11bのゲート長 L_2 を変換用TFT11aのゲート長 L_1 よりも長くして、これらの薄膜トランジスタのプロセスパラメータが変動しても、 V_{th2} が V_{th1} よりも低くならないようにしており、微少な電流リークを抑制することが可能である。以上の事項は図6の変換用TFT11aとTFT11dの関係にも適用される。

【0162】図8に示すように、信号電流が流れる変換用TFT11a、EL素子15等からなる発光素子に流れる駆動電流を制御する駆動用TFT11bの他、第1の走査線scanA(SA)の制御によって画素回路とデータ線dataとを接続もしくは遮断する取込用TFT11c、第2の走査線scanB(SB)の制御によって書き込み期間中に変換用TFT11aのゲートドレイン間を短絡するスイッチング用TFT11d、変換用TFT11aのゲートソース間電圧を書き込み終了後も保持するためのコンデンサ19および発光素子としてのEL素子15などから構成される。このように、ゲート信号線は各画素2本であることから、前述した図6などに基づく本発明の明細書全体の構成、機能、動作などを適用することができる。

【0163】図8におけるTFT11cはNチャンネルMOS(NMOS)、その他のトランジスタはPチャンネルMOS(PMOS)で構成されているが、これは一例であって、必ずしもこの通りである必要はない。コンデンサ19は、その一方の端子が変換用TFT11aのゲートに接続され、他方の端子は V_{dd} (電源電位)に接続されているが、 V_{dd} に限らず任意の一定電位でも良い。EL素子15のカソード(陰極)は接地電位に接続されている。したがって、以上の事項は図6などにも適用されることは言うまでもない。

【0164】図8の構成は、走査線scanA及びscanBを順次選択する走査線駆動回路と、輝度情報に応じた電流レベルを有する信号電流 I_w を生成して逐次データ線dataに供給する電流源CSを含むデータ線駆

動回路と、各走査線 $scanA$ 、 $scanB$ 及び各データ線 $data$ の交差部に配されて、駆動電流の供給を受けて発光する電流駆動型の EL 素子 15 を含む複数の画素とを備えている。

【0165】特徴事項として図8に示した画素構成は、当該走査線 $scanA$ が選択された時、当該データ線 $data$ から信号電流 I_w を取り込む受入部（具体的には、取込用 TFT11c から構成される）と、取り込んだ信号電流 I_w の電流レベルを一旦電圧レベルに変換して保持する変換部と、保持された電圧レベルに応じた電流レベルを有する駆動電流を当該発光素子 OLED（他に、EL、OEL、PEL、PLED と略称する場合がある）に流す駆動部とからなる。

【0166】前記変換部は、ゲート、ソース、ドレイン及びチャンネルを備えた変換用 TFT11a と、そのゲートに接続したコンデンサ 19 とを含んでいる。変換用 TFT11a、受入部によって取り込まれた信号電流 I_w をチャンネルに流して変換された電圧レベルをゲートに発生させ、コンデンサ 19 に生じた電圧レベルを保持する。

【0167】また、前記変換部は、変換用 TFT11a のドレインとゲートとの間に挿入されたスイッチング用 TFT11d を含んでいる。スイッチング用 TFT11d は、信号電流 I_w の電流レベルを電圧レベルに変換する時に導通し、変換用 TFT11a のドレインとゲートを電氣的に接続してソースを基準とする電圧レベルを変換用 TFT11a のゲートに生ぜしめる。又、スイッチング用 TFT11d は、電圧レベルをコンデンサ 19 に保持する時に遮断され、変換用 TFT11a のゲート及びこれに接続したコンデンサ 19 を変換用 TFT11a のドレインから切り離す。

【0168】また、前記駆動部は、ゲート、ドレイン、ソース及びチャンネルを備えた駆動用 TFT11b を含んでいる。駆動用 TFT11b は、コンデンサ 19 に保持された電圧レベルをゲートに受け入れ、それに応じた電流レベルを有する駆動電流がチャンネルを介して EL 素子 15 に流れる。変換用 TFT11a のゲートと駆動用 TFT11b のゲートとが直接接続されてカレントミラー回路を構成し、信号電流 I_w の電流レベルと駆動電流の電流レベルとが比例関係となるようにしている。

【0169】駆動用 TFT11b は飽和領域で動作し、そのゲートに印加された電圧レベルと閾電圧との差に応じた駆動電流を EL 素子 15 に流す。

【0170】駆動用 TFT11b は、その閾電圧が画素内で対応する変換用 TFT11a の閾電圧より低くならないように設定されている。具体的には、駆動用 TFT11b は、そのゲート長が変換用 TFT11a のゲート長より短くならないように設定されている。あるいは、駆動用 TFT11b は、そのゲート絶縁膜が画素内で対応する変換用 TFT11a のゲート絶縁膜より薄くなら

ないように設定されても良い。

【0171】また、駆動用 TFT11b は、そのチャンネルに注入される不純物濃度を調整して、閾電圧が画素内で対応する変換用 TFT11a の閾電圧より低くならないように設定されてもよい。仮に、変換用 TFT11a と駆動用 TFT11b の閾電圧が同一となるように設定した場合、共通接続された両薄膜トランジスタのゲートにカットオフレベルの信号電圧が印加されると、変換用 TFT11a 及び駆動用 TFT11b は両方共オフ状態になるはずである。ところが、実際には画素内にも僅かながらプロセスパラメータのばらつきがあり、変換用 TFT11a の閾電圧より駆動用 TFT11b の閾電圧が低くなる場合がある。

【0172】この時には、カットオフレベル以下の信号電圧でもサブスレッショルドレベルの微弱電流が駆動用 TFT11b に流れる為、EL 素子 15 は微発光し、画面のコントラスト低下が現れる。そこで、駆動用 TFT11b のゲート長を変換用 TFT11a のゲート長よりも長くしている。これにより、薄膜トランジスタのプロセスパラメータが画素内で変動しても、駆動用 TFT11b の閾電圧が変換用 TFT11a の閾電圧よりも低くならない。

【0173】ゲート長 L が比較的短い短チャンネル効果領域 A では、ゲート長 L の増加に伴い TFT の閾値 V_{th} が上昇する。一方、ゲート長 L が比較的大きな抑制領域 B ではゲート長 L に関わらず、TFT の閾値 V_{th} はほぼ一定である。この特性を利用して、駆動用 TFT11b のゲート長を変換用 TFT11a のゲート長よりも長くしている。例えば、変換用 TFT11a のゲート長が $7\mu m$ の場合、駆動用 TFT11b のゲート長を $10\mu m$ 程度にする。

【0174】変換用 TFT11a のゲート長が短チャンネル効果領域 A に属する一方、駆動用 TFT11b のゲート長が抑制領域 B に属するようにしても良い。これにより、駆動用 TFT11b における短チャンネル効果を抑制することができるとともに、プロセスパラメータの変動による閾電圧低減を抑制可能とする。以上により、駆動用 TFT11b に流れるサブスレッショルドレベルのリーク電流を抑制して EL 素子 15 の微発光を抑え、コントラスト改善に寄与可能である。

【0175】図8に示した画素回路の駆動方法を簡潔に説明する。まず、書き込み時には第1の走査線 $scanA$ 、第2の走査線 $scanB$ を選択状態とする。両走査線が選択された状態でデータ線 $data$ に電流源 CS を接続することにより、変換用 TFT11a に輝度情報に応じた信号電流 I_w が流れる。電流源 CS は輝度情報に応じて制御される可変電流源である。このとき、変換用 TFT11a のゲートドレイン間はスイッチング用 TFT11d によって電氣的に短絡されているので（数3）式が成立し、変換用 TFT11a は飽和領域で動作

する。したがって、そのゲートソース間には(数1)式で与えられる電圧 V_{gs} が生ずる。

【0176】次に、第1の走査線 $scanA$ 、第2の走査線 $scanB$ を非選択状態とする。詳しく述べると、まず第2の走査線 $scanB$ を低レベルとしてスイッチング用TFT11dを off 状態とする。これによって、電圧 V_{gs} がコンデンサ19によって保持される。次に、第1の走査線 $scanA$ を高レベルにして off 状態とすることにより、画素回路とデータ線 $data$ とが電氣的に遮断されるので、その後はデータ線 $data$ を介して別の画素への書き込みを行うことができる。ここで、電流源CSが信号電流の電流レベルとして出力するデータは、第2の走査線 $scanB$ が非選択となる時点では有効とされるが、その後は任意のレベル(例えば、次の画素の書き込みデータ)とされて良い。

【0177】駆動用TFT11bは変換用TFT11aとゲート及びソースが共通接続されており、かつ共に小さな画素内部に近接して形成されているので、駆動用TFT11bが飽和領域で動作していれば、駆動用TFT11bを流れる電流は(数2)式で与えられ、これがすなわちEL素子15に流れる駆動電流 I_{dd} となる。駆動用TFT11bを飽和領域で動作させるには、EL素子15での電圧降下を考慮してもなお(数3)式が成立するよう、十分な電源電位を V_{dd} 電圧に与えれば良い。

【0178】なお、図6(b)などと同様に、インピーダンスを増大させることなどを目的として、図9に図示するように、TFT11e、11fを付加しても良く、これによりより良好な電流駆動を実現できる。他の事項は図6で説明しているで省略する。

【0179】このようにして作製した図6、図8などで説明したEL表示素子に直流電圧を印加し、 $10mA/cm^2$ の一定電流密度で連続駆動させた。EL構造体においては、 $7.0V$ 、 $200cd/cm^2$ の緑色(発光極大波長 $\lambda_{max}=460nm$)の発光が確認できた。青色発光部では、輝度 $100cd/cm^2$ で、色座標が $x=0.129$ 、 $y=0.105$ 、緑色発光部では、輝度 $200cd/cm^2$ で、色座標が $x=0.340$ 、 $y=0.625$ 、赤色発光部では、輝度 $100cd/cm^2$ で、色座標が $x=0.649$ 、 $y=0.338$ の発光色が得られた。

【0180】(実施の形態5)以下、図6、図8、図9などを用いた表示装置、表示モジュール、情報表示装置およびその駆動回路と駆動方法などについて説明をする。

【0181】フルカラー有機EL表示パネルでは、開口率の向上が重要な開発課題になる。開口率を高めると光の利用効率が上がり、高輝度化や長寿命化につながるためである。開口率を高めるためには、有機EL層からの光を遮るTFTの面積を小さくすればよい。低温多結晶

Si-TFTはアモルファスシリコンと比較して10~100倍の性能を持ち、その上、電流の供給能力が高いため、TFTのサイズを非常に小さくできる。したがって、有機EL表示パネルでは、画素トランジスタ、周辺駆動回路を低温ポリシリコン技術で作製することが好ましい。もちろん、アモルファスシリコン技術で形成してもよいが画素開口率はかなり小さくなってしまう。

【0182】ゲートドライバ12あるいはソースドライバ14などの駆動回路をアレイ基板49上に形成することにより、電流駆動の有機EL表示パネルで特に問題になる抵抗を下げるができる。つまり、TCPの接続抵抗がなくなる上に、TCP接続の場合に比べて電極からの引き出し線が2~3mm短くなり、配線抵抗が小さくなる。さらに、TCP接続のための工程がなくなる、材料コストが下がるという利点がある。

【0183】(実施の形態6)次に、本発明のEL表示パネルあるいはEL表示装置について説明をする。図10はEL表示装置の回路を中心とした説明図である。画素16がマトリックス状に配置または形成されている。各画素16には各画素の電流プログラムを行う電流を出力するソースドライバ14が接続されている。ソースドライバ14の出力段には映像信号のビット数に対応したカレントミラー回路が形成されている。例えば、64階調であれば、63個のカレントミラー回路が各ソース信号線ごとに形成され、これらのカレントミラー回路の個数を選択することにより所望の電流をソース信号線18に印加できるように構成されている。なお、1つのカレントミラー回路の最小出力電流は10nA以上50nA以下、特に15nA以上35nA以下にすることがよい。これはソースドライバ14内のカレントミラー回路を構成するトランジスタの精度を確保するためである。

【0184】また、ソース信号線18の電荷を強制的に放出または充電するプリチャージあるいはディスチャージ回路を内蔵する。この回路の電圧(電流)出力値は、EL素子15の閾値がRGBで異なるので、R、G、Bで独立して設定できるように構成することが好ましい。

【0185】以上、今までに説明してきた画素構成、アレイ構成、パネル構成などは、この後に説明する構成、方法、装置に適用されることは言うまでもない。

【0186】有機EL素子には大きな温度依存性特性(温特)があることが知られている。この温特による発光輝度変化を調整するため、カレントミラー回路に出力電流を変化させるサーミスタあるいはポジスタなどの非直線素子を付加し、温特による変化を前記サーミスタなどで調整することによりアナログ的に基準電流を作成する。この場合、選択するEL材料で一義的に決定されるので、ソフト制御するマイコンなどを必要としない場合が多い。つまり、液晶材料により、一定のシフト量などに固定しておいてもよいということである。重要なのは発光色材料により温特が異なっている点であり、発光色

ごとに最適な温特補償を行う必要がある点である。

【0187】あるいは、温特補償をマイコンで行ってもよい。温度センサでEL表示パネルの温度を測定し、測定した温度によりマイコン（図示せず）などで変化させる。また、切り替え時に基準電流などをマイコン制御などにより自動的に切り替えてもよいし、特定のメニューを表示できるように制御してもよい。また、マウスなどを用いて切り替えたり、EL表示装置の表示画面をタッチパネルにし、かつメニューを表示して特定箇所を押さえることにより切り替えできるように構成してもよい。

【0188】本発明において、ソースドライバ14は半導体シリコンチップで形成され、ガラスオンチップ（COG）技術でアレイ基板49のソース信号線18の端子と接続されている。ソース信号線18などの信号線の配線にはクロム、アルミニウム、銀などの金属配線が用いられる。これは細い配線幅で低抵抗の配線が得られるからである。金属配線は画素が反射型の場合は工程が簡略できるので、画素の反射膜を構成する材料で、反射膜と同時に形成することが好ましい。

【0189】本発明はCOG技術に限定されるものではなく、チップオンフィルム（COF）技術に前述のソースドライバ14などを積載し、表示パネルの信号線と接続した構成としてもよい。また、ソースドライバ14は電源IC102を別途作製し、3チップ構成としてもよい。

【0190】また、TCFテープを用いてもよい。TCFテープ向けフィルムは、ポリイミド・フィルムと銅（Cu）箔を、接着剤を使わずに熱圧着することができる。また、TCPテープ向けフィルムにはこの他、Cu箔の上に溶解したポリイミドを重ねてキャスト成型する方法と、ポリイミド・フィルム上にスパッタリングで形成した金属膜の上にCuをメッキや蒸着で付ける方法がある。これらのいずれでもよいが、接着剤を使わずにポリイミド・フィルムにCuを付けるTCPテープを用いる方法が最も好ましい。30μm以下のリード・ピッチには、接着剤を使わないCu貼り積層板に対応する。この接着剤を使わないCu貼り積層板の形成方法の中で、Cu層をメッキや蒸着で形成する方法がCu層の薄型化に適しているため、リード・ピッチの微細化に有利である。

【0191】一方、ゲートドライバ12は低温ポリシリコン技術で、画素のTF Tと同一のプロセスで形成されている。これは、ソースドライバ14と比較して内部の構造が容易で、動作周波数も低いためである。したがって、低温ポリシリコン技術でも容易に形成することができ、また、狭額縁化を実現できる。もちろん、ゲートドライバ12をシリコンチップで形成し、COG技術などを用いてアレイ基板49上に実装してもよい。また、画素TF Tなどのスイッチング素子、ゲートドライバなどは高温ポリシリコン技術で形成されてもよく、有機材料

で形成（有機TF T）されてもよい。

【0192】ゲートドライバ12はゲート信号線17a用のシフトレジスタ22aと、ゲート信号線17b用のシフトレジスタ22bとを内蔵する。各シフトレジスタ22は正相と負相のクロック信号（CLKxP、CLKxN）と、スタートパルス（STx）で制御される。その他、ゲート信号線の出力、非出力を制御するイネーブル（ENABL）信号、シフト方向を上下逆転するアップダウン（UPDWM）信号を付加することが好ましい。またその他にも、スタートパルスがシフトレジスタにシフトされ、そして出力されていることを確認する出力端子などを設けることが好ましい。なお、シフトレジスタのシフトタイミングはコントロールIC（図示せず）からの信号で制御される。また、外部データのレベルシフトを行うレベルシフト回路と検査回路を内蔵する。

【0193】シフトレジスタ22のバッファ容量は小さいため、直接にはゲート信号線17を駆動することができない。そのため、シフトレジスタ22の出力とゲート信号線17を駆動する出力ゲート24間には少なくとも2つ以上のインバータ回路23が形成されている。

【0194】ソースドライバ14を低温ポリシリコンなどのポリシリコン技術でアレイ基板49上に直接形成する場合と同様であり、ソース信号線を駆動するトランスファージェットなどのアナログスイッチのゲートとソースドライバのシフトレジスタ22間には複数のインバータ回路23が形成される。以下の事項（シフトレジスタの出力と、信号線を駆動する出力段（出力ゲートあるいはトランスファージェットなどの出力段間に配置されるインバータ回路に関する事項）は、ソースドライバおよびゲートドライバ回路に共通の事項である。例えば、図10ではソースドライバ14の出力が直接ソース信号線18に接続されているように図示したが、実際には、ソースドライバのシフトレジスタ22の出力には多段のインバータ回路23が接続されて、インバータ回路の出力にはトランスファージェットなど、アナログスイッチのゲートに接続されている。

【0195】インバータ回路23はPチャンネルのMOSトランジスタとNチャンネルのMOSトランジスタから構成される。先にも説明したように、ゲートドライバ12のシフトレジスタ22の出力端にはインバータ回路23が多段に接続されており、その最終出力が出力ゲート24に接続されている。なお、インバータ回路23はPチャンネルのみで構成してもよい。ただしこの場合は、インバータ回路ではなく単なるゲート回路として構成してもよい。

【0196】各インバータ回路23を構成するPチャンネルまたはNチャンネルのTF Tのチャンネル幅をW、チャンネル長をL（ダブルゲート以上の場合は構成するチャンネルの幅もしくはチャンネル長を加算する）と

し、シストレジスタに近いインバータの次数を1、表示側に近いインバータの次数をN(N段目)とする。

【0197】インバータ回路23の接続段数が多いと接続されているインバータ回路23の特性差が多重(積み重なり)され、シフトレジスタ22から出力ゲート24までの伝達時間に差が生じる(遅延時間ばらつき)。例えば、極端な場合では、図10において出力ゲート24aは1.0μsec後(シフトレジスタからパルスが出力されてから起算)にオンしている(出力電圧が切り替わっている)のに、出力ゲート24bは1.5μsec後(シフトレジスタからパルスが出力されてから起算)にオンしている(出力電圧が切り替わっている)という状態が生じる。

【0198】したがって、シフトレジスタ22と出力ゲート24間に作製するインバータ回路23数は少ない方がよいが、出力ゲート24を構成するTFTのチャンネルのゲート幅Wは非常に大きい方がよい。また、シストレジスタ22の出力段のゲート駆動能力は小さいので、シフトレジスタを構成するゲート回路(NAND回路など)で直接、出力ゲート24を駆動することは不可能である。そのため、インバータを多段接続する必要があるが、例えば、図10のインバータ回路23dの $W4/L4$ (Pチャンネルのチャンネル幅/Pチャンネルのチャンネル長)のサイズと、インバータ回路23cの $W3/L3$ のサイズの比が大きいと遅延時間が長くなり、また、インバータの特性がばらつきをも大きくする。

【0199】図11に遅延時間ばらつき(点線)と遅延時間比(実線)の関係を示す。横軸は $(W_{n-1}/L_{n-1})/(W_n/L_n)$ で示す。例えば、図10でインバータ回路23dとインバータ回路23cのチャンネル長Lが同一で $2W3=W4$ であれば、 $(W3/L3)/(W4/L4)=0.5$ である。図11のグラフにおいて、遅延時間比は $(W_{n-1}/L_{n-1})/(W_n/L_n)=0.5$ のときを1とし、遅延同様に時間ばらつきも1としている。

【0200】図11では $(W_{n-1}/L_{n-1})/(W_n/L_n)$ が大きくなるほどインバータ回路23の接続段数が多くなり、遅延時間ばらつきも大きくなることを示している。また、 $(W_{n-1}/L_{n-1})/(W_n/L_n)$ が小さくなるほどインバータ回路23から次段のインバータ回路23への遅延時間が長くなることを示している。このグラフから遅延時間比および遅延時間ばらつきを2以内にすることが設計上有利であることがわかる。したがって、次式の条件を満たせばよい。

【0201】 $0.25 \leq (W_{n-1}/L_{n-1})/(W_n/L_n) \leq 0.75$

また、各インバータ回路23のPチャンネルの W/L 比(W_p/L_p)とNチャンネルの W/L 比(W_s/L_s)とは以下の関係を満たす必要がある。

【0202】

$0.4 \leq (W_s/L_s)/(W_p/L_p) \leq 0.8$

さらに、シフトレジスタの出力端から出力ゲート(あるいはトランスファゲート)間に形成されるインバータ回路23の段数nは次式を満たすと遅延時間のばらつきも少なく良好である。

【0203】 $3 \leq n \leq 8$ モビリティ μ にも課題がある。Nチャンネルトランジスタのモビリティ μ_n が小さいとTGおよびインバータのサイズが大きくなり、消費電力等が大きくなる。また、ドライバの形成面積が大きくなり、パネルサイズも大きくなってしまう。一方、モビリティ μ_n が大きいとトランジスタの特性劣化を引き起こしやすいので、モビリティ μ_n は以下の範囲がよい。

【0204】 $50 \leq \mu_n \leq 150$ また、シフトレジスタ22内のクロック信号のスルーレートは、 $500V/\mu sec$ 以下にする。スルーレートが高いとNチャンネルトランジスタの劣化が激しいからである。

【0205】なお、図10でシフトレジスタの出力にはインバータ回路23を多段に接続するとしたが、NAND回路でもよい。NAND回路でもインバータを構成することができるからである。つまり、インバータ回路23の接続段数とはゲートの接続段数と考えればよい。この場合も、今まで説明した W/L 比等の関係が適用される。また、以上の図10、図11を用いて説明した事項は図46、図47、図49などにも適用される。

【0206】また、図10などにおいて画素のスイッチングトランジスタがPチャンネルの時は、最終段のインバータからの出力は、オン電圧 V_{gl} がゲート信号線17に印加され、オフ電圧 V_{gh} がゲート信号線17に印加される。逆に、画素のスイッチングトランジスタがNチャンネルの時は、最終段のインバータからの出力は、オフ電圧 V_{gh} がゲート信号線17に印加され、オン電圧 V_{gl} がゲート信号線17に印加される。

【0207】以上の実施例では、ゲートドライバを高温ポリシリコンあるいは低温ポリシリコン技術などで画素16と同時に作製するとしたが、これに限定されるものではない。例えば、図12に図示するように別途、半導体チップで作製したソースドライバ14、ゲートドライバ12を表示パネル82に積載してもよい。

【0208】また、表示パネル82を携帯電話などの情報表示装置に使用する場合、ソースドライバ14、ゲートドライバ12を図12に示すように、表示パネルの一边に実装することが好ましい(なお、このように一边にドライバICを実装する形態を3辺フリー構成(構造)と呼ぶ。従来は、表示領域のX辺にゲートドライバ12が実装され、Y辺にソースドライバ14が実装されていた)。表示画面21の中心線が表示装置の中心になるように設計し易く、また、ドライバICの実装も容易となるからである。なお、ゲートドライバ回路を高温ポリシリコンあるいは低温ポリシリコン技術などを用いて3辺フリーの構成として作製してもよい(つまり、図12の

ソースドライバ 14 とゲートドライバ 12 のうち、少なくとも一方をポリシリコン技術でアレイ基板 49 に直接形成する)。

【0209】なお、3 辺フリー構成とは、アレイ基板 49 に直接 IC を積載あるいは形成した構成だけでなく、ソースドライバ 14、ゲートドライバ 12 などを取りつけたフィルム (TCP、TAB 技術など) をアレイ基板 49 の一辺 (もしくはほぼ一辺) に貼りつけた構成も含む。つまり、2 辺に IC が実装、あるいは取り付けられていない構成、配置あるいはそれに類似するすべてを意味する。

【0210】図 12 のように、ゲートドライバ 12 をソースドライバ 14 の横に配置すると、ゲート信号線 17 は C 辺に沿って表示画面 21 まで形成される必要がある (図 13 等参照)。

【0211】なお、C 辺に形成するゲート信号線 17 のピッチは $5\mu\text{m}$ 以上 $12\mu\text{m}$ 以下にする。 $5\mu\text{m}$ 未満では隣接ゲート信号線に寄生容量の影響によりノイズが乗ってしまうからである。実験によれば、 $7\mu\text{m}$ 以下で寄生容量の影響が顕著に発生し、さらに $5\mu\text{m}$ 未満では表示画面にビート状などの画像ノイズが激しく発生する。特に、ノイズの発生は画面の左右で異なり、このビート状などの画像ノイズを低減することは困難である。また、低減 $12\mu\text{m}$ を越えると表示パネルの額縁幅 D が大きくなりすぎ実用的でない。

【0212】前述の画像ノイズを低減するためには、ゲート信号線 17 を形成した部分の下層あるいは上層に、グラントパターン (一定電圧に電圧固定あるいは全体として安定した電位に設定されている導電パターン) を配置することにより低減できる。また、別途設けたシールド板 (シールド箔 (一定電圧に電圧固定あるいは全体として安定した電位に設定されている導電パターン)) をゲート信号線 17 上に配置すればよい。

【0213】図 13 の C 辺のゲート信号線 17 は ITO 電極で形成してもよいが、低抵抗化するため、ITO と金属薄膜とを積層して形成したり、金属膜で形成することが好ましい。ITO と積層する場合は、ITO 上にチタン膜を形成し、その上にアルミニウムあるいはアルミニウムとモリブデンの合金薄膜を形成する。もしくは ITO 上にクロム膜を形成する。金属膜の場合は、アルミニウム薄膜、クロム薄膜で形成する。以上の事項は本発明の他の実施例でも同様である。

【0214】図 14 ではソースドライバ 14 とゲートドライバ 12 とを 1 チップ化 (1 チップドライバ IC 14a) している。1 チップ化すれば、表示パネル 82 への IC チップの実装が 1 個で済む。したがって、実装コストも低減できる。また、1 チップドライバ IC 14a 内で使用する各種電圧も同時に発生させることができる。

【0215】なお、ソースドライバ 14、ゲートドライバ 12、1 チップドライバ IC 14a はシリコンなどの

半導体ウェハで作製し、表示パネル 82 に実装するとしたがこれに限定されるものではなく、低温ポリシリコン技術、高温ポリシリコン技術により表示パネル 82 に直接形成してもよい。

【0216】図 15 では、ソースドライバ 14 の両端にゲートドライバ 12a、12b を実装する (あるいは形成する) としたがこれに限定されるものではない。例えば、図 12 に示すように、ソースドライバ 14 に隣接した一方の側に 1 つのゲートドライバ 12 を配置してもよい。なお、図 15 などにおいて太い実線で図示した箇所はゲート信号線 17 が並列して形成した箇所を示している。したがって、b の部分 (画面下部) は走査信号線の本数分のゲート信号線 17 が並列して形成され、a の部分 (画面上部) はゲート信号線 17 が 1 本形成されている。

【0217】なお、図 15 のように、2 つのゲートドライバ 12a、12b を使用すると図 15 の C 辺に並列して形成するゲート信号線 17a の本数が走査線数の $1/2$ となる (画面の左右にゲート信号線数の $1/2$ ずつ配置できるからである)。したがって、額縁が画面の左右で均等になるという特徴を持つようになる。

【0218】本発明はゲート信号線 17 の走査方向と、画面分割にも特徴がある。例えば、図 15 ではゲートドライバ 12a が画面上部のゲート信号線 17b と接続されている。また、ゲートドライバ 12b が画面下部のゲート信号線 17a と接続されている。ゲート信号線 17 の走査方向も矢印 A で示すように画面の上部から下部の方向である。なお、ソース信号線 18 は画面上部と画面下部で共通である。

【0219】図 16 ではゲートドライバ 12a が画面上部の隣接したゲート信号線 17 と異なるように接続されている。ゲートドライバ 12a は奇数番目のゲート信号線 17b と接続されている。また、ゲートドライバ 12b は偶数番目のゲート信号線 17a と接続されている。ゲート信号線の走査方向は、ゲート信号線 17b は画面上部から下部の方向である (矢印 A)。ゲート信号線 17a は画面下部から上部の方向である (矢印 B)。このように、ゲート信号線 17 をゲートドライバ 12 と接続することにより、また、ゲート信号線の走査方法を所定の方向とすることにより、表示画面 21 に輝度傾斜が発生せず、フリッカの発生も抑制することができる。なお、ソース信号線 18 は画面上部と画面下部で共通である。ただし、画面の上下で分割してもよいことは言うまでもない。以上の事項は他の実施例にも適用される。

【0220】1 チップ化している図 14 でもゲートドライバ 12a が画面上部のゲート信号線 17b と接続されている。また、ゲートドライバ 12b が画面下部のゲート信号線 17a と接続されている。ゲート信号線 17b の走査方向は矢印 A で示すように、画面の上部から下部の方向である。ゲート信号線 17a の走査方向は矢印 B

で示すように、画面の下部から上部の方向である。なお、ソース信号線 18 は画面上部と画面下部で共通である。このように、ゲート信号線 17 をゲートドライバ 12 と接続することにより、また、ゲート信号線の走査方法を所定の方法とすることにより、表示画面 21 に輝度傾斜が発生せず、フリッカの発生も抑制することができる。

【0221】なお、1チップドライバ IC 14a はシリコンなどの半導体ウェハで作製し、表示パネル 82 に実装するとしたがこれに限定されるものではなく、低温ポリシリコン技術、高温ポリシリコン技術により表示パネル 82 に直接形成してもよい。また、画面の上部を駆動するドライバ IC を表示画面の上辺に配置し、画面の下部を駆動するドライバ IC を表示画面の下辺に配置してもよい（つまり、実装 IC は 2 チップとなる）。以上の事項は他の本発明の実施例にも適用される。

【0222】図 14 および図 15 では画面を中央部で分割するように表現したが、これに限定されるものではない。例えば、図 15 の場合は、表示画面 21a を小さくし、表示画面 21b を大きくしてもよい。この表示画面 21a をパースシャル表示領域とし（図 17 参照）、主として時刻表示や日付表示を行い、低消費電力モードで使用する。図 14 および図 15 ではゲート信号線 17b で表示画面 21a を表示し、ゲート信号線 17a で表示画面 21b を表示している。

【0223】また、図 17 などでは、図 18 で図示するように、表示画面 21a を 3 辺フリーの構成とし、表示画面 21b を従来のソースドライバ 14 とゲートドライバ 12 を別個の辺に配置する構成としてもよい。つまり、ゲート信号線 17a とソース信号線 18a は 1 チップドライバ IC 14a から出力するというのである。

【0224】また、図 19 に図示するように、表示画面 21 を 21a と 21b の 2 つの画面に分割し、それぞれの画面に対応するソースドライバ 14、ゲートドライバ 12 を配置してもよい。図 19 では各ソースドライバ 14 から出力する映像信号の書き込み時間が他の実施例と比較して 2 倍になるので、十分に画素に信号を書き込むことができる。また、図 20 に図示するように、表示画面 21 は 1 つにして画面の上下に各 1 つずつソースドライバ 14 を配置してもよい。このことは、ゲートドライバ 12 に対しても同様に適用できる。

【0225】なお、以上の実施例はゲート信号線 17 を平行に形成し、画素領域まで配線する構成であったが、これに限定されるものではなく、図 21 に図示するようにソース信号線 18 を 1 辺に平行に配線するように構成してもよいことは言うまでもない。

【0226】図 17、図 18、図 19 などにおいて、表示画面 21a と 21b でフレームレート（駆動周波数または単位時間（1 秒間）あたりの画面書き換え回数）を

る。また、表示画面 21a と 21b で表示色数または表示色を変化させるのも低消費電力化に有効である。

【0227】図 6 で図示した構成では、EL 素子 15 のカソードは V_{s1} 電位に接続されている。しかし、各色を構成する有機 EL の駆動電圧が異なるという問題がある。例えば、単位平方センチメートルあたり 0.01 A の電流を流した場合、青（B）では EL 素子の端子電圧は 5 V であるが、緑（G）および赤（R）では 9 V である。つまり、端子電圧が、B、G と R で異なる。したがって、B、G と R では保持する TFT 11c、11d のソースドレイン電圧（SD 電圧）が異なり、各色でトランジスタのソースドレイン電圧（SD 電圧）間のオフリーク電流も異なることになる。オフリーク電流が発生し、かつオフリーク特性が各色で異なると、色バランスのずれた状態でフリッカが発生する、発光色に関連してガンマ特性がずれるという複雑な表示状態となる。

【0228】この課題に対応するため、本発明では図 22 に図示するように、少なくとも R、G、B 色のうち、1 つのカソード電極の電位を他色のカソード電極の電位と異ならせるように構成している。具体的には、図 22 では B をカソード電極 53a とし、G と R をカソード電極 53b としている。

【0229】カソード電極 53a は、各色の有機 EL を塗り分けたメタルマスク技術を用いて形成する。メタルマスクを用いるのは、有機 EL が水に弱くエッチングなどを行うことができないからである。メタルマスク（図示せず）を用いて、カソード電極 53a を蒸着し、同時にコンタクトホール 52a に接続する。そして、コンタクトホール 52a により B カソード配線 51a と電氣的接続を取ることができる。

【0230】カソード電極 53b も同様に、各色の有機 EL を塗り分けたメタルマスク技術を用いて形成する。メタルマスク（図示せず）を用いて、カソード電極 53b を蒸着し、同時にコンタクトホール 52b に接続する。コンタクトホール 52b により RG カソード配線 51b と電氣的接続を取ることができる。なお、カソード電極のアルミ膜厚は 70 nm 以上 200 nm 以下となるように形成するとよい。

【0231】以上の構成により、カソード電極 53a と 53b には異なる電圧を印加することができるから、図 6 の V_{dd} 電圧が各色共通であっても、RGB のうち、少なくとも 1 色の EL 素子に印加する電圧を変化させることができる。なお、図 22 において、RG は同一のカソード電極 53b としたがこれに限定されるものではなく、R と G で異なるカソード電極となるように構成してもよい。

【0232】以上のように構成することにより、各色でトランジスタのソースドレイン電圧（SD 電圧）間でのオフリーク電流の発生、キंक現象を防止することができる。したがって、フリッカが発生せず、発光色に相

関してガンマ特性がずれるということもなく、良好な画像表示を実現できる。

【0233】また、図6の V_{s1} をカソード電圧とし、このカソード電圧を各色で異なるようにするとしがこれに限定されるものではなく、アノード電圧 V_{dd} を各色で異なるように構成してもよい。例えば、R画素の V_{dd} 電圧を8Vにし、Gを6V、Bを10Vとする構成としてもよい。これらのアノード電圧、カソード電圧は $\pm 1V$ の範囲で調整できるように構成されることが好ましい。

【0234】パネルサイズが2インチ程度であっても、 V_{dd} 電圧と接続されるアノードからは100mA近く電流が出力される。そのため、アノード配線（電流供給線）20の低抵抗化は必須である。この課題に対応するため、本発明では図18で図示するように、アノード配線63を表示領域の上側と下側から供給している（両端給電）。以上のように両端給電することにより、画面の上下での輝度傾斜の発生がなくなる。

【0235】発光輝度を高めるためには画素電極48を粗面化するとよい。この構成を図5に示す。まず、画素電極48を形成する箇所にスタンパ技術を用いて微細な凹凸を形成する。画素が反射型の場合は、スパッタリング法で約200nmのアルミニウムの金属薄膜を形成して画素電極48を形成する。画素電極48が有機ELと接する箇所には凸部が設けられ、粗面化される。なお、単純マトリクス型表示パネルの場合は、画像電極48はストライプ状電極とする。また、凸部は凸状だけに限定されるものではなく、凹状でもよい。また、凹と凸とを同時に形成してもよい。

【0236】突起の大きさは直径 $4\mu m$ 程度、隣接間距離の平均値を $10\mu m$ 、 $20\mu m$ 、 $40\mu m$ にし、それぞれ突起の単位面積密度を $1000\sim 1200$ 個/ mm^2 、 $100\sim 120$ 個/ mm^2 、 $600\sim 800$ 個/ mm^2 として輝度測定を行ったところ、突起の単位面積密度が大きくなるほど発光輝度が強くなることがわかった。したがって、画素電極48上の突起の単位面積密度を変えることで、画素電極の表面状態を変えて発光輝度を調整できることがわかった。検討によれば、突起の単位面積密度を 100 個/ mm^2 以上 800 個/ mm^2 以下とすることで良好な結果を得ることができた。

【0237】有機ELは自己発光素子である。この発光による光がスイッチング素子としてのTFTに入射するとホットコンダクタ現象（ホットコン）が発生する。ホットコンとは、光励起によりTFTなどのスイッチング素子のオフ時でのリーク（オフリーク）が増える現象を言う。

【0238】この課題に対処するため、本発明では図24に示すように、ゲートドライバ12（場合によってはソースドライバ14）の下層、画素TFT11の下層に遮光膜91を形成している。遮光膜91はクロムなどの金属薄膜で形成し、その膜厚は50nm以上150nm

以下にする。膜厚が薄いと遮光効果が乏しく、厚いと凹凸が発生して上層のTFT11のパターニングが困難になるからである。

【0239】遮光膜91上に20nm以上100nm以下の無機材料からなる平滑化膜71aを形成する。あるいは、この遮光膜91のレイヤーを用いてコンデンサ19の一方の電極を形成してもよい。この場合、平滑化膜71aは極力薄く作り、コンデンサの容量値を大きくすることが好ましい。また、遮光膜91をアルミで形成し、陽極酸化技術を用いて酸化シリコン膜を遮光膜91の表面に形成し、この酸化シリコン膜をコンデンサ19の誘電体膜として用いてもよい。平滑化膜71b上にはHA構造の画素電極が形成される。

【0240】ゲートドライバ12などは裏面だけでなく、表面からの光の進入も抑制するべきである。なぜなら、ホットコンの影響により誤動作するからである。したがって、本発明において、カソード電極が金属膜の場合は、ゲートドライバ12などの表面にもカソード電極を形成し、この電極を遮光膜として用いている。

【0241】しかし、ゲートドライバ12の上にカソード電極を形成すると、このカソード電極からの電界によるドライバの誤動作、あるいはカソード電極とドライバ回路の電氣的接触が発生する可能性がある。この課題に対処するため、本発明ではゲートドライバ12などの上に少なくとも1層、好ましくは複数層の有機EL膜を画素電極上の有機EL膜形成と同時に形成する。基本的に有機EL膜は絶縁物であるから、ゲートドライバ上に有機EL膜を形成することにより、カソードとゲートドライバ間が隔離され、前述の課題を解消することができる。

【0242】一方、カソード電極が透明電極の場合、つまり、画素電極を反射タイプとし共通電極を透明電極（ITO、IZOなど）にする光上取り出しの構造の場合は、透明電極のシート抵抗値が問題となる。なぜなら、透明電極は高抵抗であるが、有機ELのカソードには高い電流密度で電流を流す必要があるからである。したがって、ITO膜の単層でカソード電極を形成すると発熱により加熱状態となったり、表示画面に極度の輝度傾斜が発生したりする。

【0243】この課題に対処するため、カソード電極の表面に金属薄膜からなる低抵抗化配線92を形成している。低抵抗化配線92は液晶表示パネルのブラックマトリックス（BM）と同様の構成（クロムまたはアルミ材料で50nm～200nmの膜厚）で、かつ同様の位置（画素電極間、ゲートドライバ12の上など）である。ただし、有機ELではBMを形成する必要はないから機能は全く異なる。なお、低抵抗化配線92は透明電極72の表面に限定されるものではなく、裏面（有機EL膜と接する面）に形成してもよい。また、BM状に形成した金属膜として、 $Mg \cdot Ag$ 、 $Mg \cdot Li$ 、 $Al \cdot Li$

10

20

30

40

50

などの合金あるいは積層構造体など、アルミニウム、マグネシウム、インジウム、銅または各々の合金等を用いてもよい。なお、BM上には腐食などを防止するため、さらにITO、IZO膜を積層し、また、SiNx、SiO₂などの無機薄膜、あるいはポリイミドなどの有機薄膜を形成する。

【0244】図8に示す画素は駆動用TFT11bと変換用TFT11aとがカレントミラーの関係にあり、これらの特性（閾値V_t、S値、モビリティμなど）が一致していなければならない。また、図6の画素においても、各TFTの特性が一致していることが好ましいことは言うまでもない。

【0245】画素16のTFT11を構成する半導体膜は、低温ポリシリコン技術において、レーザアニールにより形成するのが一般的である。このレーザアニールの条件のばらつきがTFT11特性のばらつきとなる。しかし、1画素16内のTFT11の特性が一致していれば、図6、図8などの電流プログラムを行う方式においては、所定の電流がEL素子15に流れるように駆動することができる。この点は、電圧プログラムにない利点である。

【0246】この課題に対して、本発明では図25に示すように、アニールの時のレーザ照射スポット230をソース信号線18と平行に照射する。また、1画素列に一致するようにレーザ照射スポット230を移動させる。もちろん、1画素列に限定されるものではなく、例えば、図25のRGBを1画素16という単位でレーザを照射してもよい（この場合は、3画素列ということになる）。特に、画素はRGBの3画素で正方形の形状となるように作製されている。したがって、R、G、Bの各画素は縦長の画素形状となる。そのため、画素16内に形成されるTFT11の配置は、図25に図示するように縦方向に配置される（変換用TFT11a、駆動用TFT11b）。したがって、レーザ照射スポット230を縦長にしてアニールすることにより、1画素内ではTFT11の特性ばらつきが発生しないようにすることができる。

【0247】一般的に、レーザ照射スポット230の長さは10インチというように固定値である。このレーザ照射スポット230を移動させるのであるから、1つのレーザ照射スポット230を移動できる範囲内におさめられるようにパネルを配置する必要がある（つまり、パネルの表示画面21の中央部でレーザ照射スポット230が重ならないようにする）。

【0248】図26の構成では、レーザ照射スポット230の長さの範囲内に3つのパネルが縦に配置されるように形成されている。レーザ照射スポット230を照射するアニール装置はガラス基板241の位置決めマーク242a、242bを認識してレーザ照射スポット230を移動させる。位置決めマーク242の認識は

パターン認識装置で行う。アニール装置（図示せず）は位置決めマーク242を認識し、画素列の位置を割り出す。そして、ちょうど画素列位置に重なるようにレーザ照射スポット230を照射してアニールを順次行う。

【0249】図6に示すように、ゲート信号線17aは行選択期間に導通状態（ここでは図6のTFT11がPチャネルトランジスタであるためローレベルで導通となる）となり、ゲート信号線17bは非選択期間時に導通状態となる。

【0250】ソース信号線の状態が階調0表示状態であったときに、階調1に対する電流値を印加し、行選択期間を75μ秒で動作させると、図27の実線aに示すように、ソース信号線18の寄生容量が増加すると、EL素子15に出力される電流値が減少する。

【0251】図27の点線bは実線aに比べて階調1に対する電流値を10倍流した場合であり、ソース信号線18の寄生容量の増加に対し、EL素子15に出力される電流値の減少割合は小さくなる。所定電流値に対し、10%程度のばらつきは人間の目にとって輝度の差として観測できないことから、10%程度の低下を認めるとすると許容されるソース容量は実線aでは2pF以下、点線bでは25pF以下となる。

【0252】ソース信号線18の電流値変化に要する時間tは、浮遊容量の大きさをC、ソース信号線の電圧をV、ソース信号線に流れる電流をIとすると、 $t = C \cdot V / I$ であるため、電流値を10倍大きくできることは電流値変化に要する時間が1/10近くまで短くできる、またはソース容量が10倍になっても所定の電流値に変化できるということを示す。したがって、短い水平走査期間内に所定の電流値を書き込むためには電流値を増加させることが有効である。

【0253】入力電流を10倍にすると出力電流も10倍となり、EL素子の輝度が10倍となるよう所定の輝度を得るために、図6のスイッチング用TFT11dの導通期間を従来の1/10とし、発光期間を1/10とすることで、所定輝度を表示するようにした。つまり、ソース信号線18の寄生容量の充放電を十分にに行い、所定の電流値を画素16の変換用TFT11aに対してプログラムを行うためには、ソースドライバ14から比較的大きな電流を出力する必要がある。しかし、このように大きな電流をソース信号線18に流すとこの電流値が画素にプログラムされてしまい、所定の電流に対し大きな電流がEL素子15に流れる。例えば、10倍の電流でプログラムすれば、当然10倍の電流がEL素子15に流れ、EL素子15は10倍の輝度で発光する。つまり、所定の発光輝度にするためには、EL素子15に流れる時間を1/10にすればよい。このように駆動することにより、ソース信号線18の寄生容量を十分に充放電できるし、所定の発光輝度を得ることができる。

【0254】なお、10倍の電流値を画素の変換用TFT

T11a（正確にはコンデンサ19の端子電圧を設定している）に書き込み、EL素子15のオン時間を1/10にするとしたがこれは一例である。場合によっては、10倍の電流値を画素の変換用TFT11aに書き込み、EL素子15のオン時間を1/5にしてもよい。逆に、10倍の電流値を画素の変換用TFT11aに書き込み、EL素子15のオン時間を2倍にする場合もあるであろう。本発明は、画素への書き込み電流を所定値以外の値にし、EL素子15に流れる電流を間欠状態にして駆動することに特徴がある。本明細書では説明を容易にするため、N倍の電流値を画素のTFT11に書き込み、EL素子15のオン時間を1/N倍にするとして説明する。しかし、これに限定されるものではなく、N1倍の電流値を画素のTFT11に書き込み、EL素子15のオン時間を1/N2倍（N1とN2とは異なる）としてもよいことは言うまでもない。

【0255】また、説明を容易にするため、1F（1フィールドまたは1フレーム）を基準にしてこの1Fを1/Nにすると説明する。しかし、1画素行が選択され、電流値がプログラムされる時間（通常、1水平走査期間（1H））があるし、また、走査状態によっては誤差も生じるので、以上の説明はあくまでも説明を容易にするための便宜状の問題だけであり、これに限定されるものではない。

【0256】有機（無機）EL表示装置は、CRTのように電子銃で線表示の集合として画像を表示するディスプレイとは表示方法が基本的に異なる点にも課題がある。つまり、EL表示装置では、1F（1フィールドあるいは1フレーム）の期間の間は、画素に書き込んだ電流（電圧）を保持する。そのため、動画表示を行うと表示画像の輪郭ぼけが発生するという課題を発生させる。

【0257】本発明では、1F/Nの期間の間だけ、EL素子15に電流を流し、他の期間（1F（N-1）/N）は電流を流さない。この駆動方式を実施し画面の一点を観測した場合を考える。この表示状態では1Fごとに画像データ表示、黒表示（非点灯）が繰り返し表示される。つまり、画像データ表示状態が時間的に飛び飛び表示（間欠表示）状態となる。動画データ表示を、この間欠表示状態でみると画像の輪郭ぼけがなくなり良好な表示状態を実現できる。つまり、CRTに近い動画表示を実現することができる。また、間欠表示を実現するが、回路のメインクロックは従来と変わらない。したがって、回路の消費電力が増加することもない。

【0258】液晶表示パネルの場合は、光変調をする画像データ（電圧）は液晶層に保持されており、黒挿入表示を実施しようとする液晶層に印加しているデータを書き換える必要がある。そのため、ソースドライバ14の動作クロックを高くし、画像データを黒表示データと交互にソース信号線18に印加しなければならないので、黒挿入表示（黒表示などの間欠表示）を実現しよう

とするためには回路のメインクロックをあげる必要がある。また、時間軸伸張を実施するための画像メモリも必要になる。

【0259】しかし、本発明のEL表示パネルの画素構成では、図6、図47、図52～56、図59～図63、図71、図74、図75、図95などに示すように、画像データはコンデンサ19に保持されており、このコンデンサ19の端子電圧に対応する電流をEL素子15に流している。したがって、画像データは液晶表示パネルのように光変調層に保持されているのではない。

【0260】本発明はスイッチング用TFT11d、あるいはTFT11eなどをオンオフさせるだけでEL素子15に流す電流を制御する。つまり、EL素子15に流れる電流Iwをオフしても、画像データはそのままコンデンサ19に保持されている。したがって、次のタイミングでスイッチング素子などをオンさせ、EL素子15に電流を流せば、その流れる電流は前に流れていた電流値と同一である。本発明では黒挿入表示（黒表示などの間欠表示）を実現しようとする際においても回路のメインクロックをあげる必要がない。また、時間軸伸張を実施する必要もないため、画像メモリも不要である。また、有機EL素子15は電流を印加してから発光するまでの時間が短く高速応答である。そのため、動画表示に適し、さらに間欠表示を実施することにより従来のデータ保持型の表示パネル（液晶表示パネル、ELパネルなど）の問題である動画表示の問題を解決できる。

【0261】図28に示すように、ゲート信号線17bは従来導通期間が1F（電流プログラム時間を0とした時、通常プログラム時間は1Hであり、EL表示装置の画素行数は少なくとも100行以上であるので、1Fとしても誤差は1%以下である）とし、N=10とすれば、図27によると、最も変化に時間のかかる階調0から階調1へもソース容量が20pF程度であれば75μ秒程度で変化できる。これは、2型程度のEL表示装置であればフレーム周波数60Hzで駆動できることを示している。

【0262】更に、大型の表示装置でソース容量が大きくなる場合は、ソース電流を10倍以上にしてやればよい。一般に、ソース電流値をN倍にした場合、ゲート信号線17b（TFT11d）の導通期間を1F/Nとすればよい。これにより、テレビ、モニター用の表示装置などにも適用が可能である。

【0263】以下、図面を参照しながら、さらに詳しく説明をする。まず、図6の寄生容量404は、ソース信号線間の結合容量、ソースドライバ14のバッファ出力容量、ゲート信号線17とソース信号線18とのクロス容量などにより発生する。この寄生容量404は通常10pF以上となる。電圧駆動の場合、ソースドライバ14からは低インピーダンスで電圧がソース信号線18に印加されるため、寄生容量404が多少大きくとも駆動

では問題とならない。

【0264】しかし、電流駆動において、特に黒レベルの画像表示では5 nA以下の微小電流で画素のコンデンサ19をプログラムする必要がある。したがって、寄生容量404が所定値以上の大きさに発生すると、1画素行にプログラムする時間（通常1H以内、ただし、2画素行を同時に書き込む場合もあるので1H以内に限定されるものではない）内に寄生容量を充放電することができない。1H期間で充放電できなければ、画素への書き込み不足となり、解像度が全くでない。

【0265】図6の画素構成の場合、図7（a）に示すように、電流プログラム時は、プログラム電流I1がソース信号線18に流れる。この電流I1が変換用TFT11aを流れ、プログラム電流I1を流す電流が保持されるように、コンデンサ19のV1が設定（プログラム）される。このとき、スイッチング用TFT11dはオープン状態（オフ状態）である。

【0266】次に、EL素子15に電流を流す期間は図7（b）のようにTFT11が動作する。つまり、ゲート信号線17aにオフ電圧Vghが印加され、変換用TFT11a、取込用TFT11cがオフする。一方、ゲート信号線17bにオン電圧Vglが印加され、スイッチング用TFT11dがオンする。

【0267】今、プログラム電流I1が本来流す電流（所定値）のN倍であるとする、図7（b）のEL素子15に流れる電流もI1となる。したがって、所定値のN倍の輝度でEL素子15は発光する。

【0268】そこで、スイッチング用TFT11dを本来オンする時間（約1F）の1/Nの期間だけオンさせ、他の期間（N-1）/Nをオフさせれば、1F全体の平均輝度は所定の輝度となる。この表示状態は、CRTが電子銃で画面を走査しているのと近似する。異なる点は、画像を表示している範囲が画面全体の1/N（全画面を1とする）が点灯している点である（CRTでは、点灯している範囲は1画素行（厳密には1画素）である）。

【0269】本発明では、この1/Nの画像表示領域が図29（a1）に示すように、表示画面21の上から下に移動する。本発明では、1F/N期間の間だけ、EL素子15に電流が流れ、他の期間（1F・（N-1）/N）は電流が流れない。したがって、画像は間欠表示となるが、人間の目には残像により画像が保持された状態となるので、全画面が均一に表示されているように見える。

【0270】この表示状態では1Fごとに画像データ表示、黒表示（非点灯）が繰り返し表示される。つまり、画像データ表示状態が時間的に飛び飛び表示（間欠表示）状態となる。液晶表示パネル（本発明以外のEL表示パネル）では、1Fの期間、画素にデータが保持されているため、動画表示の場合は画像データが変化しても

その変化に追従することができず、動画ぼけとなっていた（画像の輪郭ぼけ）。しかし、本発明では画像の間欠表示するため、画像の輪郭ぼけがなくなり良好な表示状態を実現できる。つまり、CRTに近い動画表示を実現することができるのである。

【0271】また、EL表示装置では、黒表示は完全に非点灯であるから、液晶表示パネルの間欠表示した場合のようなコントラスト低下もない。また、図7に示すように、スイッチング用TFT11dをオンオフ操作するだけで、間欠表示を実現することができる。これは、コンデンサ19に画像データがメモリされているためである。つまり、各画素16に、画像データは1Fの間中は保持されている。この保持されている画像データに相当する電流をEL素子15に流すか否かをスイッチング用TFT11dの制御により実現しているのである。

【0272】したがって、間欠表示を実現する場合としない場合では、1画素を構成するTFT11の個数に変化はない。つまり、画素構成はそのまま、ソース信号線18の寄生容量404の影響を除去し、良好な電流プログラムを実現している。その上、CRTに近い動画表示を実現しているのである。

【0273】また、ゲートドライバ12の動作クロックはソースドライバ14の動作クロックに比較して十分に遅いため、回路のメインクロックが高くなるということはない。また、Nの値の変更も容易である。

【0274】画像表示方向（画像書き込み方向）は図30に図示するように、第1フィールド目では画面の上から下方向とし（図30（a））、次の第2フィールド目では画面の下から上方向（図30（b））としてもよい。つまり、図30（a）と図30（b）とを交互に繰り返せばよいのである。

【0275】さらに、図31に図示するように、第1フィールド目では画面の上から下方向とし（図31（a））、一旦全画面を黒表示（非表示領域）312とした後（図31（b））、次の第2フィールド目では画面の下から上方向（図31（c））とし、また一旦全画面を黒表示（非表示領域）312としてもよい（図31（d））。つまり、図31（a）から図31（d）の状態を交互に繰り返せばよいのである。

【0276】なお、図30、図31などにおいて、画面の書き込み方法を画面の上から下あるいは下から上としたが、これに限定されるものではない。以上の事項は他の本発明の実施例でも同様である。

【0277】図31（a）は画像表示領域311を1/Nとし、非表示領域312を（N-1）/Nとしている（ただし、これは理想状態の場合である。現実にはコンデンサ19、変換用TFT11aのSG容量による突き抜けがあるので異なる）。つまり、画像表示領域311を1つにした場合である。画像表示領域311は矢印に示すように、画面の上から下方向に移動する（図29

(a1) → 図29(a2) → 図29(a3) → 図29(a1) →)。ただし、この画像表示領域311の移動は画面の上から下方向に移動することに限定されるものではなく、画面の下から上方向に移動するとしてもよい。また、1フレーム目(1フィールド目)は画面の上から下方向に移動させ、次の2フレーム目(2フィールド目)は画面の下から上方向に移動するように走査(操作)してもよいことは言うまでもない。また、画面の右から左、あるいは画面の左から右に走査(操作)してもよい。

【0278】図28は動作タイミング波形である。先にも記載したように、1Fの期間で1画面が表示されるとし、1Hの期間で電流プログラムされるとしている。図28(a)は図6(a)、(b)におけるゲート信号線17aのタイミング波形を示す。また、図28(b)は、ゲート信号線17bのタイミング波形を示す。基本的には、ゲート信号線17bがオン電圧 V_{gl} となった時にスイッチング用TFT11dが導通し(期間は1F/N)、EL素子15にピーク電流が所定電流 I_1 のN倍の電流が流れ、EL素子15は所定輝度BのN倍の輝度($N \cdot B$)で発光する。1F/(N-1)/Nの期間はスイッチング用TFT11dがオフ状態となる。このゲート信号線の制御は図10のように、ゲートドライバ12内の2つのシフトレジスタ(22a、22b)を制御することにより容易に実現できる。シフトレジスタ22aはゲート信号線17aの制御データを保持(走査)し、シフトレジスタ22bはゲート信号線17bの制御データを保持(走査)すればよいからである。

【0279】図32はゲート信号線17bの波形を示す。図32(a)を第1画素行目のゲート信号線17bの電圧波形とすると、図32(b)は第1画素行目に隣接した第2画素行目のゲート信号線17bの電圧波形を示す。同様に、図32(c)は次の第3画素行目のゲート信号線17bの電圧波形、図32(d)は第4画素行目のゲート信号線17bの電圧波形を示す。

【0280】以上のように、各画素行で、ゲート信号線17bの波形を同一にし、1Hの間隔でシフトさせて印加していく。このように走査することにより、EL素子15が点灯している時間を1F/Nに規定しながら、順次点灯する画素行をシフトさせることができるので、各画素行でゲート信号線17bの波形を同一にし、シフトさせることは容易である。図10のシフトレジスタ22a、22bに印加するデータであるST1、ST2を制御すればよいからである。例えば、入力ST2がLレベルの時、ゲート信号線17bにオン電圧 V_{gl} が出力され、入力ST2がHレベルの時、ゲート信号線17bにオフ電圧 V_{gh} が出力されるとすれば、ゲート信号線17bに印加するST2を1F/Nの期間だけLレベルで入力し、他の期間はHレベルにする。この入力されたST2を1Hに同期したクロックCLK2でシフトしてい

くだけである。

【0281】同様に、図28(a)に示すゲート信号線17aの波形の作成も容易である。図10のシフトレジスタ22aの入力データであるST1を制御すればよいからである。例えば、入力ST1がLレベルの時、ゲート信号線17aにオン電圧 V_{gl} が出力され、入力ST1がHレベルの時、ゲート信号線17aにオフ電圧 V_{gh} が出力されるとすれば、ゲート信号線17aに印加するST1を1Hの期間だけLレベルで入力し、他の期間はHレベルにする。この入力されたST1を1Hに同期したクロックCLK1でシフトしていくだけである。

【0282】図29(b)は画像表示領域311を1/(2N)とし、2つの画像表示領域311a、311bを矢印に示すように、画面の上から下方向に移動した例である(図29(b1) → 図29(b2) → 図29(b3) → 図29(b1) →)。ただし、この画像表示領域311a、311bの移動は画面の上から下方向に移動することに限定されるものではなく、画面の下から上方向に移動するとしてもよい。また、1フレーム目(1フィールド目)は画面の上から下方向に移動させ、次の2フレーム目(2フィールド目)は画面の下から上方向に移動するように走査(操作)してもよいことは言うまでもない。また、画面の右から左、あるいは画面の左から右に走査(操作)してもよい。

【0283】さらに、図29(c)は画像表示領域311を1/(3N)とし、3つの画像表示領域311a、311b、311cを矢印に示すように、画面の上から下方向に移動した例である(図29(c1) → 図29(c2) → 図29(c3) → 図29(c1) →)。

【0284】図29(b)、(c)に示すように、画像表示領域311を複数に分割すればするほど、画像表示全体のフレームレート(1秒間に画面を書く回数、例えばフレームレート60とは、1秒間に60回画面を書き換えること)を低下させることができる。フレームレートを低下させれば、その分、回路の動作クロックを低下させることができるから消費電力を小さくできる。つまり、EL素子15の発光期間が短くなり、かつ見かけ上の瞬時輝度が高くなり、その上、画像表示領域311と非表示領域312とが高速に繰り返されるため、フリッカが低減する。したがって、フレームレートを低減することができる。

【0285】以上のように駆動させることで、1フレーム(1フィールド)内に点灯する回数を増やし、フリッカを低減させることができる。EL素子の点灯においては点灯回数を増やすことで周波数成分が高くなることから人間の目に観測されにくくなる。例えば、1回あたりの点灯期間を1/7にして1フレームに7回点灯させると、フレーム周波数が30Hzにおいてもフリッカのない表示が実現できた。

【0286】スイッチング用TFT11dのオンオフを

制御することにより、画像の輝度を調整（可変）することができる。例えば、図29（a）の場合（画像表示領域311が1つの場合）は、非表示領域312の面積を変化させることにより、表示画面21の明るさが変化する（図33（a1）より図33（a2）の方が暗く、図33（a2）より図33（a3）の方が暗い）。

【0287】同様に、図29（b）の場合（画像表示領域311が2つの場合）は、図33（b1）より図33（b2）の方が暗く、図33（b2）より図33（b3）の方が表示画面21の表示輝度が暗くなる。また、図29（c）の場合（画像表示領域311が3つの場合、つまり3以上）も同様である（図33（c1）より図33（c2）の方が暗く、図33（c2）より図33（c3）の方が暗くなる）。

【0288】なお、図29では画像表示領域311は表示画面21上を走査するとしたが、これに限定されるものではなく、図33（c1）、（c2）に図示するように、1フレーム（1フィールド）目は全画面を非表示領域312とし、次の2フレーム（2フィールド）目は全画面を画像表示領域311としてもよい。つまり、全画面を画像表示状態と非点灯状態とを交互に繰り返す。ただし、画像表示時間と、非点灯時間とを等時間に限定するものではない。例えば、画像表示時間を $1F/4$ とし、非点灯時間を $3F/4$ としてもよい。このように、画像表示時間と、非点灯時間との割合を変化させることによっても画像の表示輝度を变化（調整）することができる。

【0289】いずれにせよ、図34に示すように、Nの値を変化させることにより、画像の表示輝度Bはリニアに変化させることができる。また、Nの値を制御するだけで容易に画像の明るさを可変できる。

【0290】図35は、本発明の表示輝度を調整（制御）する回路のブロック図である。フレームメモリ（フィールドメモリ）354には、外部から入力された映像データが蓄積される。CPU353は蓄積された映像データを用いて演算をする。演算は、映像データの最大輝度、最適輝度、平均輝度、輝度分布のうち少なくとも1つ以上を用いる。また、連続する映像データの各フレームの最大輝度、最適輝度、平均輝度、輝度分布およびその変化割合も考慮する。

【0291】演算した結果は輝度メモリ352にストアされる。輝度メモリ352とは画像の明るさを補正したデータである。例えば、海岸などの明るい画面では画像の平均輝度を明るく補正し、その画像データ内で比較的暗い部分があるときは、実際値よりも暗い画像データに変換する。また、夜の画面などでは、画像が全体的に暗いため、比較的明るい部分をより明るく補正する。

【0292】カウンタ回路351は図34のN値をいくりにするかをカウントする回路である。ゲート信号線17bの波形においてN値をリアルタイムで変化させる。

N値は時間であるから、カウンタでカウントすることにより容易に変化させることができ、画像の明るさを変更できる。

【0293】切り替え回路355は画素16のTF T 11をオンさせる電圧 V_{gl} とオフさせる電圧 V_{gh} （画素TF T 11がPチャンネルの場合であり、Nチャンネルではその逆である）を切り替える回路である。つまり、カウンタ回路351の出力に基づき、図28（b）に示す $1F/N$ の期間を変化させる。したがって、表示画面21の明るさをリアルタイムで容易に可変することができる。

【0294】映像信号データに応じて表示輝度をリアルタイムで制御する。このように制御することにより、明るさ表現のダイナミックレンジを実質上3倍以上に拡大することができる。また、EL表示装置は、EL素子に電流を流さない時は完全に黒表示（非点灯）となるから、画像表示の黒浮きも発生しない。つまり、コントラストも高くなる。特に電流プログラムの場合、黒表示では、画素にプログラムする電流値が $10nA$ と小さいので、寄生容量404を十分放電できず、完全な黒表示を実現することが難しい。また、ゲート信号線17に印加されたパルスによりソース信号線18に電力が供給され（突き抜け電圧）、黒浮きが発生する。

【0295】本発明は強制的にスイッチング用TF T 11dをオフにし、EL素子15に電流を供給することを停止する。したがって、EL素子15は完全に非点灯状態となる。そのため、良好なコントラストを実現できる。

【0296】なお、図35において、映像信号の映像データに基づき、リアルタイムで画像の明るさを変化させるとしたが、これに限定するものではない。例えば、ユーザーが明るさ調整スイッチを押したり、明るさ調整ボリュームを回したりする時に、この変化を検出してカウンタ回路351のカウンタ値を可変して、表示画面21の輝度（あるいはコントラスト、もしくはダイナミックレンジ）を変化させてもよい。また、外光などの明るさをホトセンサで検出し、この検出したデータに基づき、表示画面21の明るさなどを自動的に変化させてもよい。また、表示する画像の内容、データにより手動で、あるいは自動的に変化させるように構成してもよい。

【0297】いずれにせよ、図28、図35などを用いて先に説明したように、本発明では、ゲート信号線17の制御や、ソース信号線18に印加する電流（電圧）の変化により行ってもよいし、また、両者を組み合わせて行ってもよい。

【0298】ゲート信号線17bの $1F/N$ の期間だけ、オン電圧 V_{gl} にする時刻は図36に図示するように、 $1F$ （ $1F$ に限定されるものではなく、単位期間でよい）期間のうち、どの時刻でもよい。単位時間のうち、所定の期間だけEL素子15をオンさせることによ

り、所定の平均輝度を得るものだからである。ただし、図36(a)のプログラム期間(1H)後、すぐにゲート信号線17bをオン電圧V_{g1}にしてEL素子15を発光させる方が、図6のコンデンサ19の保持率特性の影響を受けにくくなるのでよい。また、1F/Nの期間は図36(b)において、A、Bの記号と矢印で示すように、位置を変化させるように構成してもよい。図10におけるSTに印加するデータのタイミング(1FのいつにLレベルにするか)を調整あるいは可変できるように構成しておけば、この変化も容易に実現できる。

【0299】また、図37に図示するように、ゲート信号線17bをオン電圧V_{g1}にする期間(1F/N)を複数に分割(分割数K)してもよい。つまり、オン電圧V_{g1}にする期間は1F/(K/N)の期間をK回実施する。このように制御すれば、画像表示状態は図29(b)(K=2)、図29(c)(K=3)となる。このように、点灯させる画像部(画像表示領域311)を複数に分割することによりフリッカの発生を抑制でき、低フレームレートの画像表示を実現できる。また、この画像の分割数も可変できるように構成することが好ましい。例えば、ユーザーが明るさ調整スイッチを押したり、明るさ調整ボリュームを回したりすることで、この変化を検出してKの値を変更するというように、表示する画像の内容、データにより手動で、あるいは自動的に変化させるように構成してもよい。

【0300】このように、図10におけるSTに印加するデータのタイミング(1FのいつにLレベルにするか)を調整あるいは可変できるように構成しておけば、Kの値(画像表示領域311の分割数)を変化させることも容易に実現できる。

【0301】なお、図37では、ゲート信号線17bをオン電圧V_{g1}にする期間(1F/N)を複数に分割(分割数K)し、オン電圧V_{g1}にする期間は1F/(K/N)期間をK回実施するとしたがこれに限定されるものではない。1F/(K/N)期間をL(L≠K)回実施してもよい。つまり、本発明は、EL素子15に流す期間(時間)を制御することにより表示画面21を表示するものであるので、1F/(K/N)の期間をL(L≠K)回実施することは本発明の技術的思想に含まれる。また、Lの値を変化させることにより、表示画面21の輝度をデジタル的に変更することができる。例えば、L=2とL=3では50%の輝度(コントラスト)変化をなす。これらの制御も図10、図35、図46、図47などの回路構成で容易に実現できる。

【0302】また、画像表示領域311を分割する時、ゲート信号線17bをオン電圧V_{g1}にする期間は同一期間に限定されるものではない。例えば、図38に示すように、オン電圧V_{g1}にする期間がt₁とt₂のように複数の期間としてもよい。

【0303】図28では隣接した画素行を順次点灯(表

示)させるように図示したが、本発明はこれに限定されるものではない。図39に図示するように、インターレース走査してもよい。このインターレース走査とは、第1フィールドでは奇数画素行に画像を書き込み(図39(a)書き込み画素行391)、次の第2フィールドでは偶数画素行に画像を書き込む(図39(b)書き込み画素行391)画像表示方法である。書き込まない画素行は前のフィールドの画像データを保持している(保持画素行392)。このように、EL表示装置でインターレース走査をすることにより、フリッカを減少させ得ることができる。

【0304】この図39の駆動方法であれば、すべての(あるいは複数の)偶数画素行のゲート信号線17bを共有でき、また、すべての(あるいは複数の)奇数画素行のゲート信号線17bを共有できる。したがって、ゲート信号線17の引き回し数を大幅に削減できる。また、全画面を画像表示領域311と非表示領域312とを交互に表示する場合は、すべてのゲート信号線17bを共有できる。これらの構成は図13などの3辺フリーの構成で特に有効である。

【0305】なお、インターレース走査は、第1フィールドでは奇数画素行に画像を書き込み、次の第2フィールドでは偶数画素行に画像を書き込むとしたが、これに限定されるものではない。例えば、第1フィールドでは2画素行とばして2画素行ずつ画像を書き込み、次の第2フィールドでは第1フィールドで書き込まなかった2画素行ごとに画像を書き込んでもよい。また、3画素行ずつあるいは4画素行ずつでもよい。また、第1フィールドでは画面の2行目から2画素行ずつ画像を書き込み(図40(a)を参照)、次の第2フィールドでは1行目から2画素行ごとに画像を書き込んでもよい(図40(b)を参照)。また、図40に図示するように、書き込んでいる画素行あるいは書き込む画素行を非表示領域312となるように制御してもよい。また、第1フィールドでは画面の上から下に向かって画像を書き込み、第2フィールドでは画面の下から上に向かって画像を書き込んでもよい。これらもすべてインターレース走査の概念に含まれる。

【0306】インターレース走査も図23、図25で説明した方法を実施することで容易に実現できる。点灯させない非表示領域312に該当する画素行は図6(a)に示すスイッチング用TF T11dをオフさせればよいからである。

【0307】また、当然のことながら図41に図示するように、非表示領域312とインターレース走査とを組み合わせることができる。図41(a)では、書き込み画素行391と保持画素行392からなる走査領域501を順次シフトさせる。なお、図41(a)では第1行目から画像を書き込んでいる。図41(b)でも同様に、書き込み画素行391と保持画素行392からなる

10

20

30

40

50

走査領域501を順次シフトさせる。なお、図41

(b)では第2行目から画像を書き込んでいる。

【0308】以上の実施例は主として図6の画素16の構成について説明した。しかし、本発明はこれに限定されるものではない。例えば、図8や図9の画素16でも実現できる。

【0309】図8の画素構成では、ゲート信号線17aにオン電圧V_{gl}を印加することにより、コンデンサ19にソース信号線18に印加した電流値がプログラムされる。図42に図示するように、ソース信号線18には10 ソースドライバ14内の電源切り替え手段403から映像信号に該当するデータが印加される。プログラムされた電流は、カレントミラー効率が1の時、前記電流が駆動用TFT11bに流れ、この電流がEL素子15に印加される。この関係(タイミング波形など)は図28に図示した事項を流用でき、あるいは類似するので説明を要さないであろう。ただし、電流プログラムを行う際、取込用TFT11cとスイッチング用TFT11dのオンあるいはオフタイミングを個別に制御しなければならない場合がある。この場合は、取込用TFT11cとス10 イッチング用TFT11dをオンオフさせるゲート端子を別のゲート信号線17としなければならない。

【0310】図29などの表示方法を実施するためには、EL素子15に流す電流を遮断する必要がある。この遮断を目的として図42に図示するように、TFT11eを付加する。TFT11eのゲート端子をオン電圧V_{gl}にすることによりEL素子15に電流が印加され、TFT11eのゲート端子をオフ電圧V_{gh}にすることによりEL素子15への電流が遮断される(非点灯状態)。

【0311】したがって、図28などで説明したゲート信号線17a、17bの信号波形を印加することにより、図29などで説明した画像表示を実現できる。

【0312】画像表示領域311と非表示領域312は図43に図示するように、奇数画素行と偶数画素行とをフレーム(フィールド)ごとに切り替えてもよい。図43(a)で奇数画素行を表示し、偶数画素行を非表示とすれば、次のフレーム(フィールド)(図43(b)を参照)では奇数画素行を非表示にし、偶数画素行を表示する。

【0313】このように、1画素行ごとに非表示領域と表示領域とを繰り返すように表示すれば、フリッカの発生が大幅に抑制される。

【0314】なお、図43において、1画素行ごとに非表示画素行と表示画素行にするとしたがこれに限定されるものではなく、2画素行ごとあるいはそれ以上の画素行ごとに非表示画素行と表示画素行にするとしてもよい。

【0315】例えば、2行ごとであれば、第1フィールド(フレーム)では、1画素行目と2画素行目を表示画

素行とし、3画素行目と4画素行目を非表示画素行とすると、5画素行目と6画素行目は表示画素行となる。次の第2フィールド(フレーム)では、1画素行目と2画素行目を非表示画素行とし、3画素行目と4画素行目を表示画素行とすると、5画素行目と6画素行目は非表示画素行となる。また、次の第3フィールド(フレーム)では、第1フィールドと同様、1画素行目と2画素行目を表示画素行とし、3画素行目と4画素行目を非表示画素行とすると、5画素行目と6画素行目は表示画素行となる。

【0316】なお、本明細書でフィールドとフレームの文言は同義に使用したり、分離したりしている。一般的に、NTSCのインターレース駆動において、1フレームは2フィールドで構成される。しかし、プログレッシブ駆動において、1フレームは1フィールドである。このように、映像の信号の世界ではフィールドとフレームは使い分けられているが、本発明における表示パネルに表示する画像はプログレッシブでもインターレースでもどちらでも適用できる。そのため、どちらでもよいという表現としている。フィールドでもフレームでも概念的には一連の画面を書き終える時間の単位である。

【0317】図44の表示方法も有効である。ここで説明を容易にするため、図44(a)を第1フィールド(第1フレーム)、図44(b)を第2フィールド(第2フレーム)、図44(c)を第3フィールド(第3フレーム)、図44(d)を第4フィールド(第4フレーム)とする。

【0318】第1フィールド(フレーム)では、1画素行目と2画素行目を非表示画素行とし、3画素行目と4画素行目を表示画素行とする。第2フィールド(フレーム)では、奇数画素行目が表示画素行とし、偶数画素行目を非表示画素行とする。第3フィールド(フレーム)では、1画素行目と2画素行目を表示画素行とし、3画素行目と4画素行目を非表示画素行とする。第4フィールド(フレーム)では、奇数画素行目を非表示画素行とし、偶数画素行目を表示画素行とする。以後、第1フィールド(第1フレーム)の表示状態から順次繰り返す。

【0319】図44の駆動方法では、4フィールド(フレーム)で1ループとしている。このように、複数フィールド(複数フレーム)で画像表示を行うことにより、図43よりもフリッカの発生は抑制されることが多い。

【0320】なお、図44の実施例では、第1フィールド(フレーム)では、2画素行目ずつ非表示画素行とし、第2フィールド(フレーム)では、1画素行目ずつ非表示画素行としたがこれに限定されるものではない。また、第1フィールド(フレーム)では、4画素行目ずつ非表示画素行とし、第2フィールド(フレーム)では、2画素行目ずつ非表示画素行とし、第3フィールド(フレーム)では、1画素行目ずつ非表示画素行とし、

第4フィールド(フレーム)では、4画素行目ずつ非表示画素行とし、第5フィールド(フレーム)では、2画素行目ずつ非表示画素行とし、第6フィールド(フレーム)では、1画素行目ずつ非表示画素行としてもよい。

【0321】本発明の駆動方法は、表示効果(アニメーション効果など)を実現することも容易である。図45は表示領域が図45(a)→図45(b)→図45(c)→図45(d)と順次現れる表示方法である。ゆっくりと非表示領域312をスクロールしていくことによりアニメーション効果を実現できる。これらの制御は

図10、図46、図47などの回路構成でも容易に実現できる。これは、映像として黒表示状態を書き込まず、ゲート信号線17bなどの制御によりアニメーション効果を容易に実現している。

【0322】液晶表示パネルなどの画素に1フィールド(1フレーム)期間データを保持する表示パネルは動画ぼけが発生するという課題がある。ただし、CRTなどは電子銃により一瞬表示されるだけなので動画ぼけの問題は発生しない。

【0323】この課題を解決するのに有効な手段が黒挿入である。本発明は動画表示を極めたCRTに近い黒挿入方式を容易に実現できる。

【0324】図48は画面の上から下にFという文字が移動するところを示している。図48に図示するように、画像表示(図48(a)、(c)、(e))の間に非表示状態(図48(b)、(d)、(f))を挿入している。したがって、画像は飛び飛びの表示となる。そのため、動画ぼけが発生せず、良好な動画表示を実現できる。

【0325】このように、全画面を非表示領域とするには図46の回路構成を採用すればよい。図10との差異は、ENBL端子601を具備する点である。ENBL端子601はゲート信号線17が形成されたOR回路602の一端子に接続されている。ENBL端子をLレベルとすることにより、すべてのゲート信号線17bにはVghレベルが出力され、EL素子15に電流を供給するスイッチング用TFT11dまたは11eがオフ状態となり、全画面が非表示領域312となる。また、ENBL端子がHレベルの時は、通常動作が実施される。

【0326】なお、図10、図46、図47、図49では、ST端子に入力されたデータをクロックで順次シフトしていく(シリアル動作)として説明したが、これに限定されるものではない。例えば、各ゲート信号線のオンオフ状態を一度に決定するパラレル入力であってもよい(すべてのゲート信号線のオンオフロジックがコントローラまたはゲート信号線17の本数分、一度に出力され決定される構成など)。

【0327】図48の実施例は、動画表示であったが、R、G、Bごとにフラッシュイングさせるなどのアニメーション効果の実施も容易である(図50参照)。図5

0において、図50(a)は赤色表示311Rの画像、図50(c)は緑色表示311Gの画像、図50(e)は青色表示311Bの画像である。図50(a)、

(c)、(e)の各画像の間に非表示状態(図50(b)、(d)、(f))を挿入している。この動作を図50(a)から図50(f)までの動作をゆっくりと実施すれば、R、G、Bの画像がフラッシュイングしてのように表示することができる。

【0328】また、図51のように、異なる画像ごとにフラッシュイングさせるなどのアニメーション効果の実施も容易である。図51において、図51(a)は第1画像311a、図51(c)は第2画像311b、図51(e)は第3画像311cである。図51(a)、

(c)、(e)のそれぞれの画像の間に非表示状態(図51(b)、(d)、(f))を挿入している。図51(a)から図51(f)までの動作をゆっくりと実施すれば、第1、第2、第3の画像がフラッシュイングしてのように表示することができる。

【0329】以上の実施例は、概念的にはソース信号線18の所定値に対してN倍の電流を流し、EL素子15には1/Nの期間だけN倍の電流を流して所望の輝度を得る方法(構成)である。この方法(構成)により、寄生容量404の存在による書き込み不足の課題を解決した。

【0330】(実施の形態7)図52の構成は、駆動用TFT11aに対し、駆動能力がN-1倍の駆動用TFT11anを形成することにより、寄生容量404の存在による書き込み不足の課題を解決する方法である。

【0331】図52と図6(a)との差異は、駆動用TFT11aの他に、N-1倍の駆動用TFT11an-1とスイッチング用TFT11fを追加した点である。図6と図52との差異を中心に説明する。駆動用TFT11an-1としたのは、駆動用TFT11an-1と駆動用TFT11aとの電流が加算されればN倍になるように構成したためである。つまり、駆動用TFT11an-1のチャンネル幅W2を駆動用TFT11aのチャンネル幅W1のN-1倍にしているということである。例えば、N=10であって、駆動用TFT11aのチャンネル幅W1が1とすれば、駆動用TFT11an-1のチャンネル幅W2は9倍である。したがって、理論的には、駆動用TFT11aが1の電流を流せば駆動用TFT11an-1は9倍の電流を流す能力があるということになる。

【0332】なお、図52で駆動用TFT11an-1の駆動電流をN-1としたのは、図52の構成では、N倍の電流をソース信号線18に流す時、EL素子15に電流を流す駆動用TFT11aの1倍の電流が加算されるからである。図53の構成では、EL素子15に電流を流す駆動用TFT11bの電流はソース信号線18に流れることはないからTFT11nの駆動電流をN倍に

10

20

30

40

50

する必要がある。

【0333】ここで説明を容易にするため、駆動用TFT11aはI1なる電流を流すとし、駆動用TFT11a_{n-1}はI_{n-1}の電流を流すとする、 $I_1 + I_{n-1} = I_w$ （この場合は、I_wはEL素子15に流す電流I1のN倍とする）という式が成り立つ。

【0334】電流プログラム期間にはゲート信号線17aがオン電圧V_{g1}に印加され、駆動用TFT11b、スイッチング用TFT11f、取込用TFT11cがオン状態となる。また、ゲート信号線17bにはオフ電圧V_{g h}が印加され、スイッチング用TFT11dはオフ状態となる。したがって、プログラム電流I_wに相当する電圧がコンデンサ19にプログラムされる。つまり、 $I_1 + I_{n-1} = I_w$ （この場合、I_wはEL素子15に流す電流I1のN倍とする）なる電流がソース信号線18に流れる。

【0335】次に、EL素子15に電流を流す期間ではゲート信号線17aにオフ電圧V_{g h}が印加され、駆動用TFT11b、スイッチング用TFT11f、取込用TFT11cがオフ状態となる。したがって、ソース信号線18と画素16とは切り離される。また、ゲート信号線17bにはオン電圧V_{g1}が印加され、スイッチング用TFT11dはオン状態となる。したがって、プログラム電流I_wの1/Nに対応する電流I1がEL素子15に流れる。

【0336】以上のように駆動することにより、ソース信号線18には所望値の電流（EL素子に流す電流）のN倍の電流を流すことができる。したがって、寄生容量404の影響が除外され、十分にコンデンサ19に電流プログラムを行うことができる。一方、EL素子15には所望値の電流を印加することができる。

【0337】図52ではN-1の電流能力がある駆動用TFT11a_{n-1}を1つ画素に作製するとしたがこれに限定されるものではない。図54に示すように、複数個のTFT（図54ではTFT11n1~TFT11n6）を作製してもよい。動作は図52と同様であるので説明を省略する。

【0338】また、図8に図示したカレントミラー方式においても図52の構成を展開することができる。図53に図示するように、N倍の駆動能力を有するTFT11nを形成すればよい。ただし、カレントミラー構成ではスイッチング用のTFT11fは必要がない。

【0339】図53において、TFT11nのチャンネル幅W2と駆動用TFT11bのチャンネル幅W1との比は、N:1としている。ここで説明を容易にするため、駆動用TFT11bはI1なる電流を流すとし、TFT11nはI_nの電流を流すとする、 $I_n = I_w$ （この場合、I_wはEL素子15に流す電流I1のN倍とする）となる。

【0340】電流プログラム期間にはゲート信号線17

aにオン電圧V_{g1}が印加され、取込用TFT11c、スイッチング用TFT11dがオン状態となる。したがって、プログラム電流I_wに相当する電圧がコンデンサ19にプログラムされる。つまり、 $I_n = I_w$ （この場合、I_wはEL素子15に流す電流I1のN倍とする）なる電流がソース信号線18に流れる。なお、取込用TFT11cとスイッチング用TFT11dとは少しタイミングをずらせてオンオフ状態を制御することが好ましい。この場合、取込用TFT11cを制御するゲート信号線とスイッチング用TFT11dを制御するゲート信号線とを別個にし、独立制御をする必要がある。

【0341】次に、EL素子15に電流を流す期間ではゲート信号線17aにオフ電圧V_{g h}が印加され、取込用TFT11c、スイッチング用11dがオフ状態となる。したがって、ソース信号線18と画素16とは切り離され、プログラム電流I_wの1/Nに対応する電流I1がEL素子15に流れる。

【0342】以上のように駆動することで、ソース信号線18には所望値の電流（EL素子に流す電流）のN倍の電流を流すことができる。したがって、寄生容量404の影響が除外され、十分にコンデンサ19に電流プログラムを行うことができる。一方、EL素子15には所望値の電流を印加することができる。

【0343】なお、ゲート信号線17bとTFT11eは図42で説明したように、図14などの非画像表示あるいは1/N期間だけEL素子15に電流を流すように制御するために設けたものである。したがって、図53の構成において、さらにN倍の電流を流し、EL素子15に流す電流を1/N期間のパルス駆動することにより、寄生容量404による書き込み不足の問題は全くなくなる。また、黒挿入表示を容易に実現でき、良好な動画表示を実現できる。

【0344】また、図53の構成は非常に有効である。例えば、図6のみの構成で、N=10を実現しようすると、所望値よりも10倍高いパルス状の電流をEL素子15に印加する必要がある。この場合、EL素子15の端子電圧が高くなることから、V_{dd}電圧を高く設計する必要があり、また、EL素子15が劣化する可能性もある。

【0345】しかし、図53の構成では、TFT11nのチャンネル幅W2を駆動用TFT11bの5倍とし、2倍高い電流でプログラムすれば、 $5 \times 2 = 10$ となるので、EL素子15には2倍の電流を1/2の期間だけ印加すれば実現できる。したがって、EL素子15が劣化する問題もなくなるし、V_{dd}電圧をほとんど高くする必要がない。

【0346】逆に、TFT11nだけでN=10を実現しようすると、図53の構成では、TFT11nのチャンネル幅W2を駆動用TFT11bの10倍とする必要がある。10倍にするとTFT11nの形成面積が、

画素の面積のほとんどを占有する。したがって、画素開口率が極めて小さくなるか、もしくは実現不可能になる。しかし、図53の構成では、TFT11nのチャンネル幅W2を駆動用TFT11bの5倍とするだけで済むので十分な画素開口率を実現することができる。

【0347】N=10の実現方法は数多くある。例えば、TFT11nのチャンネル幅W2を駆動用TFT11bの2倍とし、5倍高い電流をEL素子15に1/5の期間印加する方法や、TFT11nのチャンネル幅W2を駆動用TFT11bの4倍とし、2.5倍高い電流をEL素子15に1/2.5の期間印加する方法などである。つまり、TFT11nの設計（チャンネル幅W2）とEL素子15に流す電流とその期間とを考慮して掛算が10となるようにすればよい。このように、Nの値は自由に設計することができる。

【0348】なお、図53ではNの電流能力があるTFT11nを1つ画素に作製するとしたがこれに限定されるものではない。図55に示すように、複数個のTFT（図55ではTFT11n1～TFT11n5）を作製してもよい。動作は図53と同様であるので説明を省略する。

【0349】N=10の実現方法が数多くあるのは、図52の構成でも同様である。駆動用TFT11an-1のチャンネル幅W2を駆動用TFT11aの4倍とし、2倍高い電流をEL素子15に1/2の期間印加する方法や、駆動用TFT11an-1のチャンネル幅W2を駆動用TFT11aの2倍とし、5倍高い電流をEL素子15に1/5の期間印加する方法などである。つまり、駆動用TFT11an-1の設計（チャンネル幅W2）とEL素子15に流す電流とその期間とを考慮して掛算が10となるようにすればよい。このように、Nの値は自由に設計することができる。

【0350】以上に説明した事項は、図52、図54、図56～図58においても適用できることは明らかである。つまり、本発明はチャンネル幅が大きい駆動用TFTを各画素に形成し、ソース信号線18を駆動する電流を増大させる。かつ、図29などで説明したようにEL素子15に流す電流を増大するとともに、EL素子15に流す電流を所定の期間とする方法あるいは構成である。

【0351】また、スイッチング用TFT11dあるいはTFT11eのオンオフを制御することにより、図14、図29などで説明した表示を実現できる。この表示により、動画表示を改善でき、また、明るさを調整することができる。したがって、本発明ではEL素子にN倍あるいはNに比例した電流をEL素子15に印加するとしたが、これに限定されるものではない。所定の1倍あるいはそれ以下の電流をEL素子15に流す構成でもよい。この場合でも、動画表示を改善でき、また、明るさを容易に調整することができるという効果を発揮できる

からである。

【0352】図6および図52も同様であるが、スイッチング用TFT11dをオン状態にする際、抵抗値を高くすることにより駆動用TFT11aのキンク現象による特性ばらつきを抑制できる。このことは図6(b)の構成で説明をした。図6(b)のTFT11eを配置し、TFT11eのゲート端子にVbb電圧(Vgl<Vbb<Vgh)を印加することにより、駆動用TFT11aに流れる電流のばらつきが減少するのである。

【0353】したがって、図6および図52の画素構成においても、ゲート信号線17bにVbb電圧を印加してスイッチング用TFT11dをオンさせることが好ましい。つまり、スイッチング用TFT11dはオフ状態ではオフ電圧Vghが印加され、オン状態ではVbb電圧を印加するのである。

【0354】図47のように回路構成すればこの制御は容易である。シフトレジスタ22bの出力段のインバータはオフ電圧VghとVbb電圧を電源とすれば、オフ状態ではゲート信号線17bにオフ電圧Vghが印加され、オン状態ではゲート信号線17bにVbb電圧が印加できるからである。

【0355】なお、図6(b)と同様に図56に図示するように、別途Vbb電圧を印加するTFT11eを形成または配置してもよい。この事項はカレントミラー構成でも同様である。例えば、図59、図60に図示するように、Vbb電圧を印加するスイッチング用TFT11fを別途形成または配置してもよい。図61の画素構成でも同様である。

【0356】なお、図62においては、駆動用TFT11aをTFT11a1とTFT11a2に分離し、ゲート端子をカスケードに接続することにより、キンク現象を抑制でき、また、特性ばらつきも抑制できる。このことは図6の駆動用TFT11a、図8の駆動用TFT11b、図52の駆動用TFT11a、図53の駆動用TFT11bなどについても同様である（駆動用TFTの構成として採用することが好ましい）。

【0357】図54および図55においてTFT11nなどを複数に分割するとしたが、また他の構成として、図63に図示するように分割したTFT11n1、TFT11n2を駆動電流向上用として動作させるか否かをゲート信号線17cに印加する電位(VghまたはVh1)で制御すればよい。TFT11f2をオフ状態にすれば、ソース信号線18に流れる電流はTFT11n1、TFT11n2が動作している場合の1/2となる。これらの制御は表示パネルの画像表示データおよび消費電力の観点から決定すると良い。

【0358】図56と図57の差異は、スイッチング用TFT11fのゲート端子をゲート信号線17cに接続した点である。つまり、スイッチング用TFT11fのオンオフ状態をゲート信号線17aの電位状態に影響さ

れず、独自制御を実現できる点にある。スイッチング用 T F T 1 1 f が絶えずオフ状態である時は、T F T 1 1 n は画素から切り離された状態であり、図 6 (a) の画素構成となる。ゲート信号線 1 7 c とゲート信号線 1 7 a とをロジック的にショートして使用すれば図 5 6 の構成となる。

【0359】ここでの図 5 6 の問題点は、T F T 1 1 n と駆動用 T F T 1 1 a の閾値 V_t などの特性ずれが画素ごとに発生していると、画素ごとに E L 素子 1 5 に流れる電流にばらつきが出るという点である。電流にばらつきが発生すると、白ラスタなどの均一表示でも表示画像にざらつき感が出てしまう。その点、図 6 の構成ではこの問題は発生しない。

【0360】したがって、表示パネルの画面サイズが小さく、寄生容量 404 の影響が少ない時はスイッチング用 T F T 1 1 f を絶えずオフ状態で使用する。また、表示パネルの画面サイズが大きく、寄生容量 404 の影響が駆動用 T F T 1 1 a の動作のみでは解消できない時は、ゲート信号線 1 7 c をゲート信号線 1 7 a のロジックとショートさせ、図 5 6 の画素構成を実現して駆動を行うとよい。

【0361】図 4 9 に図 5 7 の画素構成を駆動する回路ブロックを示す。ゲート信号線 1 7 c を駆動するシフトレジスタ 2 2 c を形成し、ゲート信号線 1 7 c を駆動する。図 6 の画素構成で駆動する時は、S T 3 のデータを絶えず L とし、ゲート信号線 1 7 c には絶えず、V g h のオフ電圧が出力されるように制御する。図 5 7 の構成で使用する場合は、シフトレジスタ 2 2 c と 2 2 a のデータ入力状態（タイミング、ロジックなど）を同一にすればよい。

【0362】この図 5 7 の構成は、カレントミラーの構成でも実現できる。図 5 8 にその画素構成を示す。図 5 8 に図示するように、分割した駆動用 T F T 1 1 a、T F T 1 1 n を駆動電流向上用として動作させるか否かをゲート信号線 1 7 c に印加する電位（V g h または V h 1）で制御すればよい。スイッチング用 T F T 1 1 f をオフ状態にすれば、ソース信号線 1 8 に流れる電流により駆動用 T F T 1 1 a のみが動作する。

【0363】したがって、図 5 7 の画素構成と同様に、表示パネルの画面サイズが小さく、寄生容量 404 の影響が少ない時はスイッチング用 T F T 1 1 f を絶えずオフ状態で使用する。表示パネルの画面サイズが大きく、寄生容量 404 の影響が駆動用 T F T 1 1 a の動作のみでは解消できない時は、ゲート信号線 1 7 c をゲート信号線 1 7 a のロジックとショートさせ、駆動電流を増大させて駆動する。このように、図 5 8 の画素構成においても、図 4 9 の回路ブロックを適用することができる。

【0364】なお、図 4 9 の構成ではゲート信号線 1 7 c を制御するシフトレジスタ 2 2 c を新規に形成し、動作させた。しかし、この構成に限定されるものではない。

い。スイッチング用 T F T 1 1 f のゲート端子に V g 1 または V g h 電圧を印加するだけであるので、ゲート信号線 1 7 c の制御ロジックは容易である。T F T 1 1 n を動作させない時は、表示画面 2 1 内の全スイッチング用 T F T 1 1 f のゲート端子にオフ電圧 V g h を印加すればよい。T F T 1 1 n を動作させる場合は、ゲート信号線 1 7 a の電位をゲート信号線 1 7 c に印加すればよい。したがって、図 4 9 のように別途シフトレジスタ 2 2 c を使用する必要はない。つまり、シフトレジスタ 2 2 a のデータをそのままゲート信号線 1 7 c に出力するか、すべてのゲート信号線 1 7 c の電位がオフ電圧 V g h となるようにゲート回路を付加すればよいからである。

【0365】（実施の形態 8）以下に本発明の駆動方法について説明をする。ソース信号線 1 8 に流す電流を N 倍することにより、寄生容量 404 の影響がなくなり、解像度のある良好な画像表示を実現できる。図 6 4 はソース信号線に流れる電流を増大させる他の実施例の説明図である。ここで、説明を容易にするため、一例として、N = 10 として説明する（ソース信号線に流す電流を 10 倍にする）。

【0366】図 6 4 に図示するように、M 画素行（説明を容易にするため、 $M = N / 2 = 10 / 2 = 5$ とする）のゲート信号線 1 7 a にオン電圧 V g 1 を印加し、M 画素行を電流書き込み状態とする。同時に、ソース信号線 1 8 に書き込み画素行 8 7 1 a に本来印加する所定電流の 10 倍の電流を印加する。なお、ここで本来印加する所定電流の 10 倍の電流としたのは、5 画素行に 2 倍の電流を印加することになり、 $5 \times 2 = 10$ となるようにするためである。したがって、書き込み画素行 8 7 1 a は 2 倍の輝度で表示される。このように、2 倍の輝度で表示されるため、図 2 9 (a) の駆動方法で $1/2$ の領域を非表示領域 3 1 2 とする。非表示領域 3 1 2 は書き込み画素行 8 7 1 b を含むようにすると、本来の表示データと異なる電流データを書き込まれて書き込み画素行 8 7 1 b は表示されない。以上の動作を 1 行ずつシフトしていくと完全な画像表示を実現できる。

【0367】図 6 5 は他の実施例である。M 画素行（説明を容易にするため、 $M = 10$ とする）のゲート信号線 1 7 a にオン電圧 V g 1 を印加し、M 画素行を電流書き込み状態とする。同時に、ソース信号線 1 8 に書き込み画素行 8 7 1 a に本来印加する所定電流の 10 倍の電流を印加する。なお、ここで本来印加する所定電流の 10 倍の電流としたのは、10 画素行に 1 倍の電流を印加することで、 $10 \times 1 = 10$ となるようにするためである。したがって、書き込み画素行 8 7 1 a は 1 倍の輝度で表示される。そして、図 2 9 (a) の駆動方法で、非表示領域 3 1 2 を書き込み画素行 8 7 1 b とすると、本来の表示データと異なる電流データを書き込まれてこの書き込み画素行 8 7 1 b は表示されない。以上の動作を

1 行ずつシフトしていくと完全な画像表示を実現できる。

【0368】図6、図8、図42、図52、図53、図54などの電流プログラム方式で共通の事項であるが、電流プログラム方式での黒表示が困難という問題点がある。例えば、EL素子15に流す白ピーク電流が $2\mu\text{A}$ であっても、64階調表示における1階調目は $2\mu\text{A}/64 \approx 30\text{nA}$ である。この微小な電流でソース信号線18などの寄生容量404を1H期間に充放電することはなかなか困難である。なお、画素16はマトリクス状に形成または配置されているが、図面では説明を容易にするために、1画素のみを図示している。

【0369】この課題に対応するため、本発明ではソース信号線18に黒レベルの電圧（電流）を書き込むための電圧源401を形成または配置している。具体的には電圧源401とはDCCコンバータで所定電圧を発生させ、この電圧をアナログスイッチなどから構成される電源切り替え手段403で印加できるように構成している。

【0370】ソース信号線18に印加する信号波形の具体例を図66に示す。電流プログラムを行う1H期間の最初の t_2 の期間に駆動用TFT11b（図6などでは変換用TFT11a）のソース信号線18にオフまたはほぼ黒表示にする電圧Vbを印加する。この電圧は電圧源401で発生し、電源切り替え手段403によりソース信号線18に印加される。プログラム期間では取込用TFT11c、スイッチング用TFT11dがオン状態であるから、ソース信号線18に印加された電圧Vbはコンデンサ19の端子電圧、つまり、駆動用TFT11bのゲート端子電圧となる。したがって、1H期間の最初の画素は黒表示（非点灯状態）となる。

【0371】本来、表示される画像が黒表示の場合は、そのまま、コンデンサ19の端子電圧が保持される。実際に表示される画像が白表示の場合では、Vb電圧印加後に白表示の電圧Vw（なお、電流プログラムの場合はIwと表現すべきである）が印加されて、この電圧（電流）がコンデンサ19に保持されて1H期間が終了する。なお、ここでは説明を容易にするため、実際に表示される画像が白表示であるから白表示の電圧Vw（電流Iw）を印加するとした。しかし、当然のことながら、自然画の場合は、コンデンサ19に保持される電圧はVbからVw間の電圧（電流）である。

【0372】図66に図示するように、ソース信号線18に信号を印加し、ゲート信号線17a、17bを駆動することにより、良好な黒表示を実現でき、また、図29などの画像表示を実施できる。

【0373】図6の画素構成でも図66の信号波形を印加することにより良好な黒表示を実現できる。電流プログラムを行う1H期間の最初の t_2 の期間に変換用TFT11aのソース信号線18にオフまたはほぼ黒表示に

する電圧Vbを印加する。この電圧は電圧源401で発生し、電源切り替え手段403によりソース信号線18に印加される。

【0374】プログラム期間では駆動用TFT11b、取込用TFT11cがオン状態であるから、ソース信号線18に印加された電圧Vbはコンデンサ19の端子電圧、つまり、変換用TFT11aのゲート端子電圧となる。したがって、1H期間の最初の画素は黒表示（非点灯状態）となる。

【0375】先に説明したように、表示される画像が黒表示の場合では、そのまま、コンデンサ19の端子電圧が保持される。実際に表示される画像が白表示の場合では、Vb電圧印加後に白表示の電圧Vw（なお、電流プログラムの場合はIwと表現すべきである）が印加されて、この電圧（電流）がコンデンサ19に保持されて1H期間が終了する。

【0376】図42などで図示した電圧源401（プリチャージ回路）は低温ポリシリコン技術などで、アレイ基板49上に直接形成してもよい。なお、EL素子15はR、G、Bで素子構成、材料が異なるので光の発生が生じる電圧（電流）が異なる（立ち上がり電圧（電流））場合が多い。この特性に対応するため、R、G、Bでプリチャージ電圧を個別に設定できるように構成すること、少なくとも3原色のうち1色は変化できるようにすることが好ましい。

【0377】なお、Vb電圧を印加するプリチャージ時間 t_2 は、 $1\mu\text{s}$ 以上にする必要がある。また、Vb電圧を印加するプリチャージ時間 t_2 は1Hの1%以上10%以下、さらには1Hの2%以上8%以下にすることが好ましい。

【0378】また、表示画面21の内容（明るさ、精細度など）で、プリチャージする電圧を変化できるように構成しておくことが好ましい。例えば、ユーザーが調整スイッチを押したり、調整ボリュームを回したりすることで、この変化を検出しプリチャージ電圧（電流）の値を変更する。表示する画像の内容、データにより自動的に変化させるように構成してもよい。

【0379】図42、図64～図66は図6のような電流プログラム方式の画素構成を例示して説明したが、これに限定されるものではない。例えば、図67、図68などの電圧プログラム方式の画素構成でも有効である。複数画素行に同時に電圧を印加する方式とすることにより、駆動回路、信号処理回路が簡略化され、また、良好な黒表示を実現できるからである。

【0380】以上のように、本発明は多種多様な画素構成に適用することができる。図69は図6のTFT11のPチャンネルをNチャンネルにした実施例である。図69においても、ゲート信号線17を制御することによりスイッチング用TFT11dをオンオフすることができ、図29などの画像表示を実現できることは言うまで

もないので説明を省略する。また、図28、図35などの駆動波形も同一または類似であるので説明を省略する。また、図6において駆動用TFT11b、取込用TFT11cのみをNチャンネルTFTとすることも有効である。これは、コンデンサ19への突き抜け電圧が低下し、コンデンサの保持特性も改善されるからである。

【0381】なお、図69は電流源402のみを具備する構成である。つまり、プリチャージを実施する電圧源401は具備しない。しかし、寄生容量404が比較的小さく、または1H期間が十分長い場合は、電圧源401がなくとも十分に黒表示を実現できる。また、図29などで説明したように、完全な非表示領域312を実施する場合は、電圧源401は必要でない場合がほとんどである。必要である場合は図70に図示するように構成すればよい。

【0382】また、図71は図8のTFT11のPチャンネルをNチャンネルにした実施例である。図71においても、ゲート信号線17を制御することによりTFT11eなどをオンオフすることができ、図29などの画像表示を実現できることは言うまでもないので説明を省略する。また、図28、図35などの駆動波形も同一または類似であるので説明を省略する。

【0383】以上説明したように、電圧源401でVb電圧(Ib電流)を印加することにより、良好な黒表示を実現できる。

【0384】なお、N=10以上とし、高い電流パルスでEL素子15に印加すると、EL端子電圧も高くなる。また、EL素子15はR、G、Bで立ち上がり電圧、ガンマカーブが異なる。特にBはガンマカーブが緩やかであるのでEL素子15の端子電圧が高くなる傾向にある。立ち上がり電圧が高く、ガンマカーブが緩やかな色(R、G、B色)のEL素子15に端子電圧をあわせると消費電力が大きくなる。

【0385】これを解決する方法の1つが図22に示すカソードをR、G、Bで分離する方式である。なお、R、G、Bでそれぞれ別のカソード電位にする必要はない。特に、ガンマカーブが他の色から離れている1色のカソードのみを分離してもよい。その他の方法として、図72に示すようにVdd電源電圧を分離する構成も有効である。つまり、R色のVdd電源をVddRとし、G色のVdd電源をVddGとし、B色のVdd電源をVddBとする構成である。このように分離することにより、RGBそれぞれを別電源で調整することができ、RGBのEL素子15の端子電圧が異なっても消費電力の増加はわずかになる。

【0386】なお、R、G、Bでそれぞれ別のVdd電位にする必要はない。特に、ガンマカーブが他の色から離れている1色のカソードのみを分離してもよい。また、図73に図示するように、図22の構成と組み合わせてもよい。つまり、R、G、Bで分離する方式である

R、G、Bでそれぞれ別のカソード電位(R画素はVsR、G画素はVsG、B画素はVsB)とする。特に、ガンマカーブが他の色から離れている1色のカソード電位のみを分離してもよい。さらに、Vdd電源電圧を分離する。R色のVdd電源をVddRとし、G色のVdd電源をVddGとし、B色のVdd電源をVddBとする構成である。この場合もR、G、Bでそれぞれ別のVdd電位にする必要はない。特に、ガンマカーブが他の色から離れている1色のカソードのみを分離してもよい。

【0387】なお、図72、図73では画素16は図6の構成としたが、これに限定されるものではなく、図8、図9、図47、図52～図56、図59～図63、図67、図69～図71、図74、図75などの構成でもよいことは言うまでもない。

【0388】本発明の課題にEL素子15に印加する電流が瞬時的ではあるが、従来と比較してN倍大きいという問題がある。電流が大きいとEL素子の寿命を低下させる場合がある。この課題を解決するためには、EL素子15に逆バイアス電圧Vmを印加することが有効である。

【0389】以下、逆バイアス電圧Vmを印加する方法について説明をする。逆バイアス電圧Vmを印加するためには図6の構成において、駆動用TFT11bと取込用TFT11cのゲート端子を個別に制御する必要がある。つまり、駆動用TFT11bと取込用TFT11cを個別にオンオフさせる必要がある。この制御方法は図76を用いて説明する。

【0390】まず、図76(a)に示すように、取込用TFT11cをオンし、スイッチング用TFT11dをオンさせる(図6もあわせて参照のこと)。そして、逆バイアス電圧VmとEL素子15のa端子に印加する。逆バイアス電圧Vmはカソード電圧Vsよりも低い5V以上15V以内の値の電圧である。

【0391】EL素子15が点灯するときには、a端子にはカソード電圧Vsに対し、5V以上15V以内の高い電圧が印加されている。つまり、逆バイアス電圧VmとはEL素子15が点灯しているときに印加する電圧に対し、理想的には絶対値が等しく、かつ極性の逆の電圧を印加するのである。現実的には絶対値が等しく、かつ極性の逆の電圧を印加することは困難であるから、逆極性で2～3倍の電圧を印加する。以上のように、逆バイアス電圧Vmを印加することにより、EL素子15はほとんど劣化しなくなる。

【0392】次に、図76(b)に示すように、スイッチング用TFT11dをオフし、駆動用TFT11bをオンさせる。そして、黒表示電圧Vbをコンデンサ19に書き込む。この動作は図66で説明している。次に、図76(c)に示すように、TFT11のオンオフ状態は図76(b)と同一の状態、電流源402からの画

10

20

30

40

50

像表示電圧（電流）をコンデンサ19に書き込む。この動作も図66で説明している。最後に、図76（d）に示すように、駆動用TFT11b、取込用TFT11cをオフし、スイッチング用TFT11dをオンさせ、EL素子15に電流を流して点灯させる。

【0393】以上の動作を図77に示す。1H期間のt1時間に逆バイアス電圧V_mをソース信号線18に印加し、次のt2期間に黒表示電圧V_bを印加し、そしてt3期間に画像データV_w（I_w）を印加する。他の動作は、図76で説明し、また、駆動方法などの図28、図29などで説明しているので説明を省略する。

【0394】図76の構成では、ソース信号線18の電流を画素16に取り込む際に、EL素子15には逆方向電流が流れる。したがって、EL素子15が有機電界発光素子の場合、逆方向電圧を印加した場合のように、有機分子の酸化還元反応などによる電気化学的劣化を遅くすることが可能となる。

【0395】図78に陽極／正孔輸送層／発光層／電子輸送層／陰極からなる3層型有機発光素子のエネルギーダイアグラムを示す。発光時の正負キャリアの挙動は図78（a）で表わされる。電子は陰極（カソード）より電子輸送層に注入されると同時に正孔も陽極（アノード）から正孔輸送層に注入される。注入された電子、正孔は印加電界により対極に移動する。その際、有機層中にトラップされたり、発光層界面でのエネルギー準位の差によりキャリアが蓄積されたりする。

【0396】有機層中に空間電荷が蓄積されると分子が酸化もしくは還元され、生成されたラジカル陰イオン分子もしくはラジカル陽イオン分子が不安定なため、膜質の低下により輝度の低下および定電流駆動時の駆動電圧の上昇を招くことが知られている（Applied Physics Letters、Vol.69、No.15、P.2160～2162、1996）。これを防ぐために、一例としてデバイス構造を変化させ、逆方向電圧を印加している。

【0397】図78（b）においては逆方向電流が印加されるため、注入された電子及び正孔がそれぞれ陰極及び陽極へ引き抜かれる。これにより、有機層中の空間電荷形成を解消し、分子の電気化学的劣化を抑えることで寿命を長くすることが可能となる。

【0398】なお、図78では3層型素子についての説明を行ったが、4層型以上の多層型素子及び2層型以下の素子においても、電極から注入された電子及び正孔により有機膜の電気化学的劣化が起こることは同様である。したがって、層の数によらず本実施例により寿命を長くすることが可能となる。1つの層に複数の材料を混ぜ合わせた素子においても分子の電気化学的劣化は同様に生じるため効果がある。

【0399】本発明での特徴はこのように、有機分子の劣化を防ぐ機能を持たせ、かつソース信号線に寄生する浮遊容量による波形なまりを防ぐためのバイアス電流を

流す機能を持たせても、画素に必要なトランジスタ数を増加させることなく表示が可能であることである。つまり、逆方向電流を流すためのトランジスタの数を増やさなくてもよいことが、表示装置の各画素の開口率を下げなくて済むという利点につながっているのである。

【0400】図79に逆バイアス電圧V_mの印加効果について説明する。図79は所定電流で駆動した時のEL素子15の発光輝度、EL素子の端子電圧を示している。図79において、点線bは、EL素子15に逆バイアス電圧V_mを印加した時のEL素子15の端子電圧を示している。一点鎖線cは、EL素子15に逆バイアス電圧V_mを印加しなかった時のEL素子15の端子電圧を示している。また、実線aは、EL素子15に逆バイアス電圧V_mを印加した時（実線a）のEL素子15の発光輝度比（初期輝度を1とした時の比率）を示している。

【0401】図79において、具体的には、EL素子はR発光であり、電流密度100A／平方メートルで電流駆動した場合である。サンプルBは時間tの間、連続して電流密度100A／平方メートルの電流を印加している。点灯時間1500時間で端子電圧が高くなったが急激に輝度低下して、2500時間経過後には、初期輝度に対して、約15%の輝度しか得られなかった。

【0402】サンプルAは30Hzのパルス駆動を実施し、半分の時間t2に電流密度200A／平方メートルの電流を流し、後半の半分の時間t1に逆バイアス電圧－14Vを印加した（つまり、単位時間あたりの平均発光輝度はサンプルAとBでは同一である）。サンプルAは、点線bで示すようにEL素子15の端子電圧の変化はほとんどなく、また、輝度が50%となる点灯時間は4000時間であった。

【0403】このように、逆バイアス電圧V_mを印加してもEL素子15の端子電圧の増加はなく、発光輝度の低減割合は少ない。したがって、EL素子15の長寿命駆動を実現することができる。

【0404】図80は、逆バイアス電圧V_mとEL素子15の端子電圧の変化を示している。この端子電圧とは、EL素子15に定格電流を印加した時である。図80はEL素子15に流す電流が電流密度100A／平方メートルの場合であるが、図80の傾向は、電流密度50～100A／平方メートルの場合とほとんど差がなかった。したがって、広い範囲の電流密度で適用できると推定される。

【0405】縦軸は初期のEL素子15の端子電圧に対する2500時間後の端子電圧との比である。例えば、経過時間0時間において、電流密度100A／平方メートルの電流が印加した時の端子電圧を8Vとし、経過時間2500時間において、電流密度100A／平方メートルの電流が印加した時の端子電圧を10Vとすれば、端子電圧比は、10／8＝1.25である。

【0406】横軸は、逆バイアス電圧 V_m と1周期に逆バイアス電圧を印加した時間 t_1 の積に対する定格端子電圧 V_0 の比である。例えば、60Hzで、逆バイアス電圧 V_m を印加した時間が $1/2$ であれば、 $t_1=0.5$ である。また、経過時間0時間において、電流密度100A/平方メートルの電流が印加した時の端子電圧（定格端子電圧）を8Vとし、逆バイアス電圧 V_m を8Vとすれば、 $| \text{逆バイアス電圧} \times t_1 | / (\text{定格端子電圧} \times t_2) = | -8V \times 0.5 | / (8V \times 0.5) = 1.0$ となる。

【0407】図80によれば、 $| \text{逆バイアス電圧} \times t_1 | / (\text{定格端子電圧} \times t_2)$ が1.0以上で端子電圧比の変化はなくなり（初期の定格端子電圧から変化しない）、逆バイアス電圧 V_m の印加による効果がよく発揮されている。しかし、 $| \text{逆バイアス電圧} \times t_1 | / (\text{定格端子電圧} \times t_2)$ が1.75以上で端子電圧比は増加する傾向にあるので、1.0以上、好ましくは1.75以下になるように逆バイアス電圧 V_m の大きさおよび印加時間比 t_1 （もしくは t_2 、あるいは t_1 と t_2 との比率）を決定するとよい。

【0408】ただし、バイアス駆動を行う場合は、逆バイアス電圧 V_m と定格電流とを交互に印加する必要がある。図79のように、サンプルAとBとの単位時間あたりの平均輝度を等しくしようとすると、逆バイアス電圧 V_m を印加する場合は、印加しない場合と比較して瞬時的に高い電流を流す必要がある。そのため、逆バイアス電圧 V_m を印加する場合（図79のサンプルA）のEL素子15の端子電圧も高くしなければならない。

【0409】ただし、図80では、逆バイアス電圧を印加する駆動方法でも、定格端子電圧 V_0 は、平均輝度を満たす端子電圧（つまり、EL素子15を点灯する端子電圧）とする（本明細書の具体例によれば、電流密度200A/平方メートルの電流を印加した時の端子電圧である。ただし、 $1/2$ デューティであるので、1周期の平均輝度は電流密度200A/平方メートルでの輝度となる）。

【0410】なお、以上の事項は、EL素子15を、白ラスタ表示の場合（画面全体のEL素子に最大電流を印加している場合）を想定しているが、EL表示装置の映像表示を行う場合は、自然画であり、階調表示を行う。したがって、絶えずEL素子15の白ピーク電流（最大白表示で流れる電流。本明細書の具体例では、平均電流密度100A/平方メートルの電流）が流れているわけではない。

【0411】一般的に、映像表示を行う場合、各EL素子15に印加される電流（流れる電流）は、白ピーク電流（定格端子電圧時に流れる電流。本明細書の具体例によれば、電流密度100A/平方メートルの電流）の約0.2倍であるので、図80の実施例において、映像表示を行う場合は横軸の値を0.2倍にする必要がある。

したがって、 $| \text{逆バイアス電圧} \times t_1 | / (\text{定格端子電圧} \times t_2)$ は0.2以上になるように逆バイアス電圧 V_m の大きさおよび印加時間比 t_1 （もしくは t_2 、あるいは t_1 と t_2 との比率など）を決定するとよい。また、好ましくは、 $| \text{逆バイアス電圧} \times t_1 | / (\text{定格端子電圧} \times t_2)$ は $1.75 \times 0.2 = 0.35$ 以下になるように逆バイアス電圧 V_m の大きさおよび印加時間比 t_1 などを決定するとよい。

【0412】つまり、図80の横軸（ $| \text{逆バイアス電圧} \times t_1 | / (\text{定格端子電圧} \times t_2)$ ）における1.0の値を0.2とする必要があるので、表示パネルに映像を表示する（この使用状態が通常であろう。白ラスタを常時表示することはないであろう）時は、 $| \text{逆バイアス電圧} \times t_1 | / (\text{定格端子電圧} \times t_2)$ が0.2よりも大きくなるように、逆バイアス電圧 V_m を所定時間 t_1 に印加するようにする。また、 $| \text{逆バイアス電圧} \times t_1 | / (\text{定格端子電圧} \times t_2)$ の値が大きくなっても、図80で図示するように、端子電圧比の増加はさほどない。したがって、白ラスタ表示を実施することも考慮して、上限値は $| \text{逆バイアス電圧} \times t_1 | / (\text{定格端子電圧} \times t_2)$ の値が1.75以下を満たすようにすればよい。

【0413】（実施の形態9）以下、図面を参照しながら、本発明の逆バイアス方式について説明をする。なお、本発明はEL素子15に電流が流れていない期間に逆バイアス電圧 V_m （電流）を印加することを基本とするがこれに限定されるものではない。例えば、EL素子15に電流が流れている状態で、強制的に逆バイアス電圧 V_m を印加してもよい。なお、この場合は結果として、EL素子15には電流が流れず、非点灯状態（黒表示状態）となるであろう。また、本発明は、主として電流プログラムの画素構成で逆バイアス電圧 V_m を印加することを中心に説明するがこれに限定されるものではない。例えば、図68においてTFT11eをオフさせ、図81と同様に逆バイアス電圧 V_m をEL素子15のアノードに印加する構成にすれば、電圧プログラム方式の画素構成でも、以下に説明する逆バイアス電圧 V_m の印加を容易に実現することができる。したがって、図80などで説明した効果を発揮することができる。

【0414】図81は、本発明の逆バイアス電圧印加方式の駆動方法の説明図である。図81は図6(a)の画素構成に逆バイアス電圧 V_m を印加するスイッチング用TFT11gを配置あるいは形成している。スイッチング用TFT11gのゲート端子は制御用のゲート信号線17dに接続されている。スイッチング用TFT11gをオンさせることにより逆バイアス電圧 V_m がEL素子15のアノードに印加される。

【0415】まず、図1(a1)に示すように、ゲート信号線17aにオン電圧 V_{gl} が印加されると、駆動用TFT11b、取込用TFT11cがオンする。する

と、図1(a2)で示すように、ソースドライバ14からプログラム電流 I_w が取込用TFT11cなどに流れ、コンデンサ19に電流プログラムされる。なお、N倍に限定されるものではないが、ここでは説明を容易にするため、N倍の電流をプログラムし、EL素子15に $1F/N$ の期間だけ、電流 I_d を流すものとする。

【0416】次に、図1(b1)に図示するように、ゲート信号線17bにオフ電圧 V_{gh} が印加され、駆動用TFT11b、取込用TFT11cがオフする。同時
(同時に限定されるものではない)にゲート信号線17bにオン電圧 V_{gl} が印加されると、スイッチング用TFT11dがオンする。すると、図1(c2)で示すように、電源 V_{dd} が変換用TFT11aを介して、電流プログラムされた電流 I_d がEL素子15に流れ、図1(c1)に図示するようにEL素子15が発光する。この発光輝度は、プログラムの変換効率が100%であれば、約N倍の輝度で発光する。

【0417】発光期間は $1F/N$ である。残りの $1F(1-1/N)$ の期間はスイッチング用TFT11dがオフ状態であり、EL素子15は非点灯(黒表示)となる。非点灯時はEL素子15に全く電流が流れないため、完全な黒表示を実現できる。また、発光時は白ピーク電流が大きいため、発光輝度も高い。そのため、本発明の駆動方法では、非常に高いコントラスト表示を実現できる。

【0418】 $1F$ の期間のすべてに、1倍の電流をEL素子15に流した場合(従来の駆動方式)に黒表示を実現使用とすると、黒表示電流をコンデンサ19にプログラムする必要がある。しかし、電流駆動方式では黒表示時の電流値が小さいため、寄生容量の影響を大きく受け
十分な解像度が出ない、黒浮きが発生するという課題が発生する。その上、ゲート信号線17からの突き抜け電圧の影響も受ける。これらの課題により、黒表示部でもEL素子15が微点灯状態となり、コントラストが非常に悪くなる。

【0419】本発明の方式では、 $1F(1-1/N)$ の期間は完全にEL素子15に電流が流れないので、完全な黒表示を実現できる。つまり、黒浮きが発生しないのである。そのため、図76などで説明した黒表示のためのプリチャージを行わなくとも高コントラスト表示を実現できる。

【0420】なお、もちろん図81などで説明する方式に図76などの方式を加えて実施してもよいことは言うまでもない。また、高コントラスト表示の実現は図68などの電圧プログラムの画素構成においても同様に効果を発揮する。つまり、 $1F/N$ パルス駆動を実施することにより、 $1F(1-1/N)$ の期間はEL素子15に全く電流が流れず、高コントラスト表示を実現できるのである。

【0421】図1(d1)に図示するように、ゲート信

号線17dにオン電圧を印加し、スイッチング用TFT11gをオンさせる。この時、スイッチング用TFT11dはオフ状態とする。スイッチング用TFT11gをオンさせることにより、EL素子15のアノード(なお、画素構成によっては、逆バイアス電圧 V_m をEL素子15のカソードに印加する場合もある。また、逆バイアス電圧 V_m は正極性の電圧の場合もある)に逆バイアス電圧 V_m (逆バイアス電流 I_m が流れるとも表現できる。EL素子15は回路的にはコンデンサとみなすことができるため、逆バイアス電圧 V_m の印加により交流的に電流が流れるからである。また、蓄積された電荷が放電されるからである)が印加される。印加する時間 t_1 は図80の状態を満たすように構成する(図1(d2))。

【0422】この逆バイアス電圧 V_m を印加する期間はEL素子15に電流 I_d が流れていない期間とすることが好ましい。不可能なわけではないが、電流 I_d が流れていると、逆バイアス電圧 V_m とショート状態となるからである。

【0423】なお、図1(d1)では逆バイアス電圧 V_m を印加する期間は $1F$ のうちの1箇所としたがこれに限定されるものではなく、複数の分割(例えば、 $1F$ の期間に、2回以上あるいは3回以上に分けてEL素子15に逆バイアス電圧 V_m を印加するなど)してもよい。

【0424】ゲート信号線17bにオフ電圧を印加している期間のうち、任意のタイミングでゲート信号線17dにオンオフ電圧を印加すればよいので、この制御は容易にできる。そして、これらのオン時間の総和が図80で説明した t_1 時間となるようにすればよい。

【0425】また、EL素子15に電流を流さない期間 $1F(1-1/N)$ が複数の期間に分割される場合もある。複数の分割することで、フリッカの発生が抑制される。この期間 $1F(1-1/N)$ が複数の分割された場合、その期間に逆バイアス電圧 V_m を印加すればよい。ただし、分割された期間 $1F(1-1/N)$ のすべてに逆バイアス電圧 V_m を印加する必要はない。

【0426】なお、図79のように、逆バイアス電圧を印加せず、かつEL素子15にも電流が流れていない駆動方法について、図80で説明した内容を基に以下に補正(もしくは補足)する。図80で説明した時間 t_1 とは逆バイアス電圧 V_m を印加した時間である。また、時間 t_2 とはEL素子15に電流を印加した時間である。

【0427】なお、逆バイアス電圧 V_m は直流的に固定値($V_m=-8V$)である必要はない。つまり、逆バイアス電圧 V_m はのこぎり歯波形の信号としてもよく、パルスのな波形の信号としてもよい。また、サイン波の信号波形でもよい。この場合の逆バイアス電圧とは、波形を積分したもの、あるいは実効値とする。また、印加時間 t_1 も不明確ではあるが、 V_m 電圧を積分したもの、実効値を矩形波形とし、この矩形波形が印加されたとす

る時間を t_1 とすればよい。

【0428】例えば、逆バイアス電圧の波形が、図82(a)に図示する電圧波形(3角形波)で、最大振幅値が16V、印加時間が $t_1 = 100 \mu\text{sec}$ であるとする。この場合は、図82(b)に図示するように、最大振幅値が8V、印加時間が $t_1 = 100 \mu\text{sec}$ の電圧波形と等価である。また、図82(c)に図示するように、最大振幅値が16V、印加時間が $t_1 = 50 \mu\text{sec}$ の電圧波形と等価と見なして処理を行ってもよい。以上の事項は、EL素子15に印加する正方向の電圧につ

いても同様である。

【0429】また、同様の事項はEL素子15に流す電流1dについても該当する。つまり、EL素子15に流す電流(電圧)も直流ではなく、サイン波形の電流波形などにする場合もあり、この場合も直流の実効値に変換し、その矩形波の印加期間 t_2 に換算すればよい。

【0430】逆バイアス電圧 V_m を印加する期間は、図83(a)に図示するように、ゲート信号線17aにオン電圧を印加する期間(通常、1H期間:プログラム期間)以外のすべての期間としてもよい。

【0431】また、EL素子15に電流1dを印加していない期間に逆バイアス電圧 V_m を印加すればよいので、図83(b)に図示するように、ゲート信号線17aにオン電圧を印加する期間(プログラム期間)を含む期間に逆バイアス電圧 V_m を印加するように構成してもよい(図83(b)はEL素子15に電流1dを印加している期間(ゲート信号線17bにオン電圧を印加している期間)以外に逆バイアス電圧 V_m を印加している)。

【0432】なお、図1、図83などで説明した逆バイアス電圧 V_m の印加時間、印加方式、印加タイミングなどに関する事項は他の実施例にも適用される。

【0433】以上のように、本発明では、1F期間に非点灯期間(非表示領域)312を有しており、この非点灯期間を設けることにより動画表示性能が向上し、非点灯期間にEL素子15に逆バイアス電圧 V_m を印加できる。したがって、EL素子15が劣化することがなく、端子電圧の上昇もないので、電源電圧 V_{dd} を低く設定できるのである。

【0434】図83はEL素子15の直前に逆バイアス電圧 V_m を印加するように構成したものであったが、他の構成として、図84に図示するように、スイッチング用TFT11dを介してEL素子15に逆バイアス電圧 V_m (電流 I_m) を印加する構成も例示される。

【0435】ゲート信号線17dにオン電圧を印加することにより、スイッチング用TFT11gがオンし、逆バイアス電圧 V_m が印加される。同時にスイッチング用TFT11dもオンさせることにより、EL素子15に逆バイアス電圧 V_m を印加することができる。図84の構成であれば、逆バイアス電圧 V_m の印加は、スイッチ

ング用TFT11gと11dの両方で制御することができるので、制御が容易になり、柔軟性が向上する。

【0436】ゲート信号線17には、該当画素が選択されている時にオン電圧が印加される。非選択の期間はオフ電圧が印加される。したがって、ゲート信号線に印加される電圧は1Fの期間のうち、ほとんどの期間にオフ電圧が印加されているので、オフ電圧を逆バイアス電圧として使用することができる。

【0437】オフ電圧はTFTを完全にオフさせるため、通常、カソード電圧よりも低い電位である(もちろん、TFTがPチャンネルの場合は逆である)。特に、TFTがアモルファスシリコンの場合は、オフ電圧はかなり低く設定されることが通常である。

【0438】図85の構成では、ゲート信号線17aに接続された駆動用TFT11b、取込用TFT11cをNチャンネルTFTとしている。したがって、オフ電圧 V_{gh} で駆動用TFT11b、取込用TFT11cはオンし、オン電圧 V_{gl} でオフ状態となる。1Fのほとんどの期間、ゲート信号線17bにはオン電圧 V_{gl} が印加されている。このオン電圧 V_{gl} を逆バイアス電圧 V_m とする($V_{gl} = V_m$)。

【0439】スイッチング用TFT11gも先の実施例と同様に、ゲート信号線17dに印加する電圧で制御する。なお、断っておくが、ゲート信号線17dに印加する電圧はスイッチング用TFT11gのオンオフを制御するものであるから、印加する電圧は V_{gh} 、 V_{gl} に特定されるものではなく、他の任意の電圧を使用することができる。

【0440】スイッチング用TFT11gがオンすると、ゲート信号線17aに印加されているオン電圧 V_{gl} がEL素子15に印加される。したがって、EL素子15に逆バイアス電圧 V_m を印加することができる。図85の構成では、図84のように逆バイアス電圧 V_m を供給する信号線が不要であるため、画素開口率を向上できる。なお、図85において、ゲート信号線17bに印加する電圧をEL素子15に印加するように構成してもよい(スイッチング用TFT11dはNチャンネルにするなど構成を考慮する必要がある)。

【0441】図85はゲート信号線17の電圧を逆バイアス電圧にする構成であったが、図86はソース信号線18に印加された電圧をEL素子15の逆バイアス電圧とする構成である。スイッチング用TFT11gがオンするタイミングで、ソース信号線18に逆バイアス電圧 V_m を印加すると、ソース信号線18を通じてEL素子15にも逆バイアス電圧 V_m を印加することができる。タイミングなどは図76で説明しているので省略する。

【0442】逆バイアス電圧 V_m を印加する時間が、EL素子15に電流を印加している期間と比較して長いときは、図87に図示するように、EL素子15にチャージされた電圧が放電されるので、EL素子15のアノー

ド端子とカソード端子間をショートさせることにも効果がある。このようにショートさせることで、EL素子15の正孔輸送層に蓄積された正孔が引き抜かれ、また、電子輸送層に蓄積された電子も引き抜かれ、EL素子の劣化を抑制できるようになる。なお、図83、図1などで説明した逆バイアス電圧 V_m の印加時間、印加方式、印加タイミングなどに関する事項は図87の実施例などにも適用されることは言うまでもない。

【0443】図87では各TFTがPチャンネルで構成されていたが、図88では図87の構成をNチャンネルに変化させたものである。図88において、スイッチング用TFT11gがオンすると、EL素子15のアノード端子とカソード端子間がショートし、この両端子に V_{dd} 電圧が印加される。この期間にEL素子15の正孔輸送層に蓄積された正孔が引き抜かれ、また、電子輸送層に蓄積された電子も引き抜かれ、EL素子の劣化を抑制できるようになる。なお、図87と同様に、図83、図1などで説明した逆バイアス電圧 V_m の印加時間、印加方式、印加タイミングなどに関する事項は図88の実施例などにも適用されることは言うまでもない。

【0444】また、電流の流れる制御方向を変化させることによって、EL素子15に逆バイアス電圧 V_m を印加することができる。図89はその構成図である。図89における402は定電流源である。

【0445】図89において、スイッチング用TFT11gがオンしているとき、スイッチング用TFT11gには定電流源402と同一方向の電流が流れ、EL素子15には順方向電圧が印加される。一方、スイッチング用TFT11gがオフの時には、EL素子15と定電流源402とでループを構成するため、EL素子15に流れる電流の向きが逆になる。つまり、定電流源402を配置または形成することにより、スイッチング用TFT11gの制御でEL素子15に容易に逆バイアス電圧 V_m を印加することができるのである。この時の、ゲート信号線17のタイミングを図90に示す。ゲート信号線17aが選択されている期間以外の期間にゲート信号線17dにオン電圧が印加されている。こうして、EL素子15の正孔輸送層に蓄積された正孔が引き抜かれ、また、電子輸送層に蓄積された電子も引き抜かれ、正孔輸送材料の酸化および電子輸送材料の還元による劣化を抑制できるようになる。

【0446】図91はスイッチング用TFT11gをNチャンネルとし、スイッチング用TFT11dがオンしているときはスイッチング用TFT11gをオフ状態にし、スイッチング用TFT11dがオフしているときはスイッチング用TFT11gをオン状態にした構成である。スイッチング用TFT11dがオンしているときはEL素子15が点灯し、スイッチング用TFT11gがオンしているときにはEL素子15に逆バイアス電圧 V_m が印加される。

【0447】逆バイアス電圧 V_m はカソード電圧 V_k よりも低い電圧にすることが有効である。しかし、逆バイアス電圧 V_m を別途発生させようとする、発生回路が必要である。この課題に対して、図92ではフライングコンデンサを形成している。フライングコンデンサ1001は画素ごとに配置（形成）する他、パネルに1回路を配置（形成）してもよい。

【0448】フライングコンデンサ1001はゲート信号線17e、17fを制御することにより動作させる。そして、ゲート信号線17eとゲート信号線17fは逆位相で動作させる。

【0449】まず、ゲート信号線17eにオン電圧を印加し、TFT11i、11jをオンさせ、コンデンサ19bに V_{dd} 電圧を印加する。この時、ゲート信号線17fにはオフ電圧を印加し、コンデンサ19bに充電後、TFT11h、11kをオフさせておく。

【0450】次に、ゲート信号線17eにオフ電圧を印加し、TFT11i、11jをオフさせ、ゲート信号線17fにはオン電圧を印加し、TFT11h、11kをオンさせる。すると、コンデンサ19bに充電された V_{dd} 電圧は逆位相となってEL素子15に、 $-V_{dd}$ 電圧を印加する。

【0451】以上のように構成することにより、逆位相の V_m 電圧（ $V_m = -V_{dd}$ ）を発生させることができる。したがって、 V_m 電圧の供給配線は不要となる。

【0452】以上の実施例は、主として図6で説明した電流プログラム方式の画素構成を例示して説明したがこれに限定されるものではなく、図93に図示するように、カレントミラーの画素構成でも、逆バイアス電圧 V_m を印加できるように構成できることは言うまでもない。なお、動作は図81で説明した構成をそのまま準用できるので省略する。また、図94に図示するように、電圧プログラムの画素構成であっても、逆バイアス電圧を印加できることは言うまでもない。図68などでも同様である。したがって、電圧プログラムの画素構成でも非点灯時にEL素子15に逆バイアス電圧を印加するという構成あるいは方式を適用することができる。

【0453】図71において、画素を構成するTFT11は5個となっている。しかし、図6(a)では4個で構成されている。そのため、図6(a)の構成の方が画素16を構成するTFT11数が1個少ないため、開口率を高くでき、また、画素欠陥の発生割合が少ないという利点がある。

【0454】図74も電流プログラム方式の画素構成である。ゲート信号線17aにオン電圧を印加することにより、電流プログラムを行うことができる。また、ゲート信号線17bにオフ電圧を印加し、ゲート信号線17bにオン電圧を印加することによりEL素子15にプログラムされた電流を流すことができる。

【0455】図74の構成においてもゲート信号線17

cにオン電圧またはオフ電圧を印加することにより、EL素子15に流す電流を制御することができ、図29などに図示した駆動方法あるいは表示状態を実現できる。

【0456】なお、図74ではTFT11eを付加したが、このTFT11eを削除し、ゲート信号線17bを操作し、スイッチング用TFT11dのオンオフ状態を制御することによっても、図29などの画像表示などを実現できることは言うまでもない。

【0457】図95も電流プログラム方式の画素構成である。ゲート信号線17aにオン電圧を印加することにより、電流プログラムを行うことができる。また、ゲート信号線17bにオフ電圧を印加し、ゲート信号線17bにオン電圧を印加することによりEL素子15にプログラムされた電流を流すことができる。

【0458】図95の構成においてもゲート信号線17cにオン電圧またはオフ電圧を印加することにより、スイッチング用TFT11dのオンオフを実現できるから、EL素子15に流す電流を制御することができる。したがって、図29などに図示した駆動方法あるいは表示状態を実現できる。

【0459】なお、図61は電圧プログラムの画素構成の例である。本発明は、1フィールドあるいは1フレーム（1F、もちろん2Fあるいはそれ以上を1区切りとすることも考えられる）の所定時間にEL素子に流す電流の印加時間を制御することにより所定の発光輝度を得る方法である。つまり、EL素子に流す電流は所定輝度より高くし、所定より高い輝度分はオン時間を短くすることにより所定輝度を得る方法である。

【0460】図68も電圧プログラムによる画素構成である。図68において、19aは閾値検出用容量（コンデンサ）、19bは入力信号電圧保持用容量（コンデンサ）である。

【0461】ステップ1（区間1）では、前記TFT11aからTFT11eをすべてONにして一旦前記駆動用トランジスタをON状態にしているので、閾値のばらつきによる電流値のずれが発生する。

【0462】ステップ2（区間2）では、前記TFT11b、TFT11dはONのまま前記TFT11c、TFT11eをOFFにすることにより、前記駆動用TFT11aの電流値が0になるので、前記駆動用TFT11aの閾値が前記閾値検出用容量19aに検出される。

【0463】ステップ3（区間3）では、前記TFT11b、TFT11dをOFFにして前記TFT11c、TFT11eをONにすることにより、データ信号線の入力信号電圧を前記入力信号電圧保持用容量19bに保持すると同時に、前記駆動用TFT11aのゲートに前記入力信号電圧に閾値を加えた信号電圧を印加してEL素子15を電流駆動して発光させる。この駆動用TFT11aは飽和領域で動作しているので、ゲート電圧から

閾値を引いた電圧値の2乗に比例した電流が流れるが、ゲート電圧には前記閾値検出用容量19aにより閾値がすでに印加されているので、結果的に閾値はキャンセルされる。従って、駆動用TFT11aの閾値がばらついてもシミュレーション結果に示すように、常に一定の電流値がEL素子15に流れることになる。

【0464】ステップ4（区間4）では、画素16が非選択期間に入ったとき、TFT11b、TFT11dはOFF、TFT11eはONのまま、TFT11cをOFFにしても、前記入力信号電圧保持用容量19bに保持された入力信号電圧と前記閾値検出用容量19aにより保持された閾値電圧が駆動用TFT11aのゲートに印加されているので、EL素子15には電流が流れて発光し続ける。

【0465】以上のように、より正確に前記駆動用トランジスタの閾値を検出するためには、第1ステップの期間として2 μ sec以上10 μ sec以下に設定し、第2ステップの期間として2 μ sec以上10 μ sec以下に設定することが必要である。これは書き込みあるいは動作時間を十分に確保するためである。しかし、あまりに長いと本来の電圧プログラム時間が短くなり安定性がなくなる。

【0466】したがって、図61の電圧プログラム方式でも、本発明の駆動方法あるいは表示装置を実施することには効果がある。図61において、ゲート信号線17bを制御することにより、スイッチング用TFT11dをオンオフさせることができる。したがって、EL素子15に流れる電流を間欠させることができる。また、図68においても、ゲート信号線17cの制御により、TFT11eをオンオフ制御することができる。そのため、図29、図33などの表示状態を実現できる。

【0467】また、EL素子15に流れる電流をN倍し、TFT11eのオンオフ状態を制御することにより、1/Nの期間点灯させるという駆動方式（なお、N倍あるいは1/Nに限定されるものではない）を実現できることは明らかである。つまり、本発明は、図6の電流プログラムの画素構成のみに限定されるものではなく、図68などの電圧プログラムの画素構成でも、本発明の駆動方式を実現することができる。したがって、本明細書で記載した事項は本明細書で記載あるいは図示した画素構成あるいは装置などに適用することができる。

【0468】同様に、図67、図75も電圧プログラムの画素構成である。図67、図75において、ゲート信号線17bを制御することにより、TFT11eをオンオフさせることができる。したがって、EL素子15に流れる電流を間欠させることができる。そのため、図29、図33などの表示状態を実現できる。したがって、容易にアニメーション効果を実現できる。また、多彩な画像表示を実現できる。また、その他の事項、あるいは動作は図68と同様あるいは類似するので説明を省略す

る。なお、以上の事項は図76、図81などで説明した逆バイアス電圧 V_m 印加方式に関しても適用することができることは言うまでもない。

【0469】N倍のパルス電圧を印加する方式の課題として、EL素子15に流れる電流が大きくなり、EL素子15が劣化し易くなるという課題がある。また、 $N=10$ 以上となると、電流が流れる時に必要となるEL素子15の端子電圧が高くなり、電力効率が悪くなるという課題もある。ただし、この課題は白表示時のようにEL素子に流れる電流が大きい時に発生する課題である。この課題に対する対処法を図6の画素構成を例にして、図96(a)を参照しながら説明する。

【0470】図96(a)に図示するように、EL素子15への電流 I_{dd} が流れている時、 V_{dd} 電圧(電源電圧)は駆動用TFT11aのソースドレイン間電圧 V_{sd} とEL素子15の端子電圧 V_d で分圧される。この時、 I_{dd} 電流が大きいと V_d 電圧も高くなる。

【0471】 V_{dd} 電圧が十分に高いと駆動用TFT11aにプログラムされた電流 I_w に等しい電流(I_{dd})がEL素子15に流れる。したがって、図97の実線に図示するように、電流 I_w と I_{dd} は等しいかほりニアの関係(比例の関係)になる。リニアの関係になるというのは、ゲート信号線17などに印加された信号などによりコンデンサ19に突き抜けが発生し、 $I_{dd}=I_w$ とはならないということである。

【0472】本発明では、 V_{dd} 電圧は I_{dd} と I_w がリニア(比例)の関係を維持できないような低い電圧で用いる。つまり、必要な $V_{sd}+V_d>V_{dd}$ の関係にしている。さらには、 $V_d>V_{dd}$ とすることが好ましい。

【0473】例えば、一例として、 $N=10$ で、最大白表示に必要な I_w 電流が $2\mu A$ とする。この状態では、 I_{dd} 電流が $2\mu A$ とすると、G色のEL素子では $V_d=1.4V$ となるので、この時の V_{dd} 電圧を $1.4V$ 以下とする。もしくは、この時、 $V_{sd}=7V$ とすると、 $V_d+V_{sd}=1.4V+7V=2.1V<V_{dd}=2.1V$ とする。

【0474】この状態で駆動すると、電流 I_{dd} と I_w の関係は図97の点線で示すような関係となり、最大白表示では I_w と I_{dd} の関係はリニアの関係でなくなる(非線形の関係、図97のAの範囲)。しかし、黒表示あるいは灰色表示(表示輝度が比較的低い領域)ではリニアの関係(図97のBの範囲)が維持される。

【0475】Aの領域ではEL素子15に流れる電流が制限され、EL素子15を劣化させるような大きな電流が流れることはない。また、Aの領域で、 I_w 電流を増加させると、変化割合は少ないが I_{dd} 電流は増加するので、階調表示を実現できる。ただし、Aの領域では非線形となるからガンマ変換が必要である。例えば、画像表示が64階調表示であれば、入力画像データ64階調

データをテーブル変換し、128階調あるいは256階調に変換してソースドライバ14に印加する。

【0476】Aの領域では駆動用TFT11aの V_{sd} 電圧とEL素子15の V_d 電圧とが分圧され、EL素子15の端子電圧 V_a が決定される。この際、注目すべき事項として、EL素子15は蒸着で形成される(あるいはインクジェット技術などによる塗布で形成)ため、均一に形成されている点である。そのため、EL端子電圧 V_a は表示画面21の面内で均一な値となる。したがって、駆動用TFT11aの特性がばらついて、EL素子15の端子電圧 V_a で補正される。結果的に V_{dd} 電圧を本発明のように低くすることにより、駆動用TFT11aの特性ばらつきが吸収でき、 V_{dd} 電圧の低減により低消費電力化を実現できる。また、 N が大きい時にも、EL素子15には高い電圧が印加されることがない。

【0477】EL素子15は蒸着技術、インクジェット技術だけでなく、インクを付けたスタンプを紙に当てて印刷するようにするスタンプ技術でも形成できる。

【0478】まず、スタンプとなる部分を形成する。Si基板上に半導体プロセスによって有機EL素子の発光領域と同じ形の溝のパターンを形成し、その溝の中を有機EL材にドーピングする材料を埋めることでスタンプとする。一方、有機EL素子を形成する方のガラス基板には、電極や発光層となる有機EL材を形成しておく。

【0479】次に、スタンプと有機EL素子となる材料をつけたガラス基板をぴったりと重ね合わせる。この状態を保ちながら $+100^{\circ}C\sim+200^{\circ}C$ で約10分間にわたって熱処理する。こうすることで、スタンプの溝の中に埋め込んだドーピング材料が蒸発し、有機EL素子の発光層に拡散する。あとは、色に応じたドーピング材料を埋め込んだスタンプを順次有機EL素子に当てて、RGBを塗り分ける。このスタンプ技術を用いると、 $10\mu m$ の矩形パターンや、線幅 $10\mu m$ のパターンのEL素子15が容易に形成できる。

【0480】なお、1Fの期間の $1/N$ に、EL素子15に電流を印加し、その印加する電流は所定輝度より高くし、所定より高い輝度分はオン時間を短くすることにより所定輝度を得る方法であるとした。しかし、本発明は一定の期間内の輝度平均を所定値にする方法である。したがって、1F(1フィールドあるいは1フレーム)に限定されるものではない。例えば、図33(c1)の表示状態が2F連続したり、図33(c2)の表示状態が3F連続したり、この図33(c1)と図33(c2)の状態が交互に繰り返されても良い。最終的に、5Fで所望の平均輝度となるように駆動すればよい。

【0481】したがって、本発明の技術的思想は、一定の期間内に、EL素子15のオン状態とオフ状態とを発生させ、このオン状態とオフ状態とを交互に繰り返し、この繰り返しにより、所定の表示輝度を得る方式であ

る。また、制御はゲート信号線 17 のオンオフ電圧を制御することにより実現する。

【0482】なお、ソース信号線 18 に所定電流の N 倍の電流を流し、EL 素子 15 に所定電流の N 倍の電流を 1/N 期間流すとしたが、実用上はこれを実現できない。実際にはゲート信号線 17 に印加した信号パルスがコンデンサ 19 に突き抜け、コンデンサ 19 に所望の電圧値（電流値）を設定できないからである。一般的にコンデンサ 19 には所望の電圧値（電流値）よりも低い電圧値（電流値）が設定される。例えば、10 倍の電流値を設定するように駆動しても、5 倍程度の電流しかコンデンサ 19 には設定されない。N=10 としても実際に EL 素子 15 に流れる電流は N=5 の場合と同一となる。したがって、本発明は N 倍の電流値を設定し、N 倍に比例したあるいは対応する電流を EL 素子 15 に流れるように駆動する方法である（ただし、図 97 で説明する駆動方法も実施するので限定は難しい）。もしくは、所望値よりも大きい電流を EL 素子 15 にパルス状に印加する駆動方法である。

【0483】なお、図 29 などにおいて、非表示領域 312 は完全に非点灯状態である必要はない。微弱な発光あるいはうっすらとした画像表示があっても実用上は問題ない。つまり、画像表示領域 311 よりも表示輝度が低い領域と解釈するべきである。また、非表示領域 312 とは、R、G、B 画像表示のうち、1 色または 2 色のみが非表示状態という場合も含まれる。

【0484】なお、各画素構成において（例えば、図 61、図 70（a）、図 95）、スイッチング用 TFT 11d のゲート端子を直接、オンオフ電圧を印加できるように構成しても、EL 素子 15 に流す電流を間欠動作させることができる。また、図 60 においては TFT 11e、図 8 においては変換用 TFT 11a、図 9 においては駆動用 TFT 11b のゲート端子を直接、オンオフ電圧を印加できるように構成しても、EL 素子 15 に流す電流を間欠動作させることができる。つまり、EL 素子 15 に電流を印加する TFT のゲート端子を制御することによって、図 29 などの表示状態を実施できるということである。

【0485】（実施の形態 10）また、図 43 の表示方法のように、奇数画素行と偶数画素行（もしくは複数画素行ごと）を所定フィールド（フレーム）ごとに切り替える表示方法は、立体画像表示装置もしくは方法に適用することができる。以下、本発明の立体表示装置について図 98、図 99 を参照しながら説明をする。

【0486】まず、本発明の表示方法は基本的に画素行単位（画素行の方向）に画像表示領域 311 と非表示領域 312 を構成するものである。したがって、図 43 のように表示する場合は縦横を変換する必要があるが、この変換は容易である。メモリに蓄積された画像データを

ば図 98（a1）の表示状態となる。つまり、表示パネルの走査方向は A に示す矢印方向となるが、画像は図 98（a1）に示すように、紙面上が画面上となり、紙面下が画面下となる。したがって、表示パネルの使用者にはあたかも画面上から下に走査しているように見える。

【0487】表示パネルの表示画面 21 は左から奇数画素列（行）に右目の画像を表示し、偶数画素列（行）に左目の画像を表示する。画像表示は表示パネルと同期する観察用眼鏡 852 と同期させる。観察用眼鏡 852 はシャッタ 851 として機能する 2 つの液晶パネルを具備している。

【0488】第 1 フィールド（第 1 フレーム）では図 98（a1）に示すように、左から奇数番目の画素列（実際は奇数番目の画素行）が画像表示領域 311 となり、左から偶数番目の画素列（実際は偶数番目の画素行）が非表示領域 312 となる。図 98（a1）の表示状態と同期して、観察用眼鏡 852 の左目用のシャッタ 851L が閉じ、観察用眼鏡 852 の右目用のシャッタ 851R が開く。したがって、観察者は右目だけで、図 98（a1）の画像を見ることになる。

【0489】第 1 フィールド（第 1 フレーム）の次の第 2 フィールド（第 2 フレーム）では図 98（a2）に示すように、左から偶数番目の画素列（実際は偶数番目の画素行）が画像表示領域 311 となり、左から奇数番目の画素列（実際は奇数番目の画素行）が非表示領域 312 となる。図 98（a2）の表示状態と同期して、観察用眼鏡 852 の右目用のシャッタ 851R が閉じ、観察用眼鏡 852 の左目用のシャッタ 851L が開く。したがって、観察者は左目だけで、図 98（a2）の画像を見ることになる。

【0490】以上の動作を交互に繰り返すことにより、観察者が使用する眼鏡型のシャッタ 851 と画像表示状態とが同期して交互に観察者に見えるようにすることにより立体画像表示を実現できる。

【0491】シャッタ 851 を用いずに立体画像表示を実現するためには、図 99 に図示したように表示パネルの光出射側にプリズム 861 を配置すればよい。プリズム 861 の A 部をある表示タイミングにおける画像表示領域 311 に対応するように配置し、プリズム 861 の B 部を前述の表示タイミングにおける非表示領域 312 に対応するように配置する。このように、プリズム 861 を配置することにより、奇数画素行の画像が観察者の右目に入射するようにし、偶数画素行の画像が観察者の左目に入射するように構成することができる。なお、プリズム 861 と表示パネル間にはエチレングリコールなどの光結合材 862 を配置し、オプティカルカップリングさせておく。

【0492】なお、図 98 において切り替え手段 852 は眼鏡としたがこれに限定されるものではない。観察者の右目に入射する光と左目に入射する光とを制御できる

15に流す電流が $1\mu\text{A}$ 以下の場合、アモルファスシリコン技術で形成した方が特性上十分である。また、ゲートドライバ回路、ソースドライバ回路などもアモルファスシリコン技術による素子で形成してもよい。

【0498】また、図10、図46、図47、図49などのゲートドライバ12の構成についてもこれに限定されるものではなく（図10などはST信号を順次クロックに同期してシフト動作（シリアル処理）する構成である）、例えば、各ゲート信号線のオンオフ状態を一度に決定するパラレル入力であってもよい（すべてのゲート信号線のオンオフフロッグがコントローラかゲート信号線17の本数分、一度に出力され決定される構成など）。

【0499】図101は有機ELモジュールの構成図である。プリント基板103にはコントロールIC101と電源IC102が実装されている。プリント基板103とアレイ基板49とはフレキシブル基板104で電気的に接続される。このフレキシブル基板104を介して電源電圧、電流、制御信号、映像データがアレイ基板49のソースドライバ14およびゲートドライバ12に供給される。

【0500】この際問題となるのは、ゲートドライバ12の制御信号である。ゲートドライバ12には少なくとも5V以上の振幅の制御信号を印加する必要がある。しかし、コントロールIC101の電源電圧は2.5Vあるいは3.3Vであるため、コントロールIC101から直接ゲートドライバ12に制御信号を印加することができない。

【０５０１】この課題に対して、本発明は高い電圧で駆動される電源ＩＣ１０２からゲートドライバ１２の制御信号を印加する。電源ＩＣ１０２はゲートドライバ１２の動作電圧も発生させるので、当然ながらゲートドライバ１２に最適な振幅の制御信号を発生させることができる。

【0502】図102ではゲートドライバ12の制御信号をコントロールIC101で発生させ、ソースドライバ14で一旦レベルシフトを行った後、ゲートドライバ12に印加している。ソースドライバ14の駆動電圧は5～8Vであるから、コントロールIC101から出力された3.3V振幅の制御信号を、ゲートドライバ12が受け取れる5V振幅に変換することができる。

【０５０３】図７７、図１０３は本発明の表示モジュール装置の説明図である。図１０３はソースドライバ１４内に内蔵表示メモリ１５１を持たせた構成である。内蔵表示メモリは８色表示（各色１ビット）、２５６色表示（ＲＧは３ビット、Ｂは２ビット）、４０９６色表示（ＲＧＢは各４ビット）の容量を有する。この８色、２５６色または４０９６色表示で、かつ静止画の時は、ソースドライバ１４内に配置されたドライバコントローラはこの内蔵表示メモリ１５１の画像データを読み出すの

で、超低消費電力化を実現できる。もちろん、内蔵表示メモリ151は26万色以上の多色の表示メモリであってもよい。また、動画の時も内蔵表示メモリ151の画像データを用いてもよい。

【0504】内蔵表示メモリ151の画像データは誤差拡散処理あるいはディザ処理を行った後のデータをメモリしてもよい。誤差拡散処理、ディザ処理などを行うことにより、26万色表示データを4096色などに変換することができ、さらに内蔵表示メモリ151の容量を小さくすることができる。誤差拡散処理などは誤差拡散コントローラ141で行うことができる。

【0505】なお、図103などにおいて、14をソースドライバと記載したが、単なるドライバだけでなく、電源IC102、バッファ回路154（シフトレジスタなどの回路を含む）、データ変換回路、ラッチ回路、コマンドデコーダ、シフト回路、アドレス変換回路、内蔵表示メモリ151からの入力を処理してソース信号線に電圧あるいは電流を出力する様々な機能あるいは回路が構成されたものである。これらの事項は、本発明の他の実施例でも同様である。

【0506】なお、図103などで説明する構成は、図12～図16、図18、図20、図21などで説明する3辺フリー構成あるいはその他の構成、駆動方式などにも適用できることは言うまでもない。

【0507】フレームレートはパネルモジュールの消費電力と関係する。つまり、フレームレートを高くすればほぼ比例して消費電力は増大する。携帯電話などは待ち受け時間を長くするなどの観点から消費電力の低減を図る必要がある。一方、表示色を多くする（階調数を多くする）ためにはソースドライバ14などの駆動周波数を高くしなければならない。しかし、消費電力の問題から消費電力を増大させることは困難である。

【0508】一般的に、携帯電話などの情報表示装置では、表示色数よりも低消費電力化が優先される。表示色数を増加させる回路の動作周波数が高くなる、あるいはEL素子に印加する電圧（電流）波形の変化が多くなるなどの理由から、消費電力が増加する。したがって、あまり表示色数を多くすることはできない。この課題に対して、本発明は画像データを誤差拡散処理あるいはディザ処理を行って画像を表示する。

【0509】図104で説明した本発明の携帯電話では図示していないが、筐体の裏側にCCDカメラを備えている。CCDカメラで撮影した画像およびデータは即時に表示パネルの表示画面21に表示できる。CCDカメラの画像データは24ビット（1670万色）、18ビット（26万色）、16ビット（6.5万色）、12ビット（4096色）、8ビット（256色）をキー入力で切り替えることができる。

【0510】表示データが12ビット以上の時は、誤差拡散処理を行って表示する。つまり、CCDカメラから

の画像データが内蔵表示メモリ151の容量以上の時は、誤差拡散処理などを実施し、表示色数を内蔵表示メモリ151の容量以下となるように画像処理を行う。

【0511】今、ソースドライバ14には4096色（RGB各4ビット）で1画面の内蔵表示メモリ151を具備しているとして説明する。モジュール外部から送られてくる画像データが4096色の場合は、直接ソースドライバ14の内蔵表示メモリ151に格納され、この内蔵表示メモリ151から画像データを読み出し、表示画面21に画像を表示する。

【0512】画像データが26万色（G：6ビット、R、B：各5ビットの計16ビット）の場合は、図77および図103に示すように、誤差拡散コントローラ141の演算メモリ152に一旦格納され、かつ同時に演算回路153で誤差拡散あるいはディザ処理が行われる。この誤差拡散処理などにより16ビットの画像データは内蔵表示メモリ151のビット数である12ビットに変換されてソースドライバ14に転送される。ソースドライバ14はRGB各4ビット（4096色）の画像データを出力し、表示画面21に画像を表示する。

【0513】また、図77の構成などにおいて、垂直同期信号VDを用いて（垂直同期信号VDで処理方法を変化させて）、フィールドあるいはフレームごとに誤差拡散処理あるいはディザ処理方法を変化させてもよい。例えば、ディザ処理では、第1フレームでBayer型を用い、次の第2フレームではハーフトーン型を用いる。このように、フレームごとにディザ処理を変化させ、切り替えるようにすることで、誤差拡散処理などに伴うドットむらが目立ちにくくなるという効果が発揮される。

【0514】また、第1フレームと第2フレームで誤差拡散処理などの処理係数を変化させてもよい。また、第1フレームで誤差拡散処理をし、第2フレームでディザ処理をし、さらに第3フレームで誤差拡散処理をするなど、様々な処理を組み合わせても良い。また、乱数発生回路を具備し、乱数の値でフレームごとに処理を実施する処理方法を選択してもよい。

【0515】フレームレートなどの情報を伝送されるフォーマットに記載するようにしておけば、この記載されたデータをデコードあるいは検出することにより、自動でフレームレートなどを変更できるようになる。伝送されてくる画像が動画か静止画かを記載しておくこと、特に動画の場合は、動画の1秒あたりのコマ数を記載しておくことが好ましい。また、伝送パケットに携帯電話の機種番号を記載しておくことが好ましい。なお、本明細書では伝送パケットとして説明するがパケットである必要はなく、送信あるいは発信するデータ中に図105などで説明する情報（表示色数、フレームレートなど）が記載されたものであればいずれでもよい。

【0516】図106は本発明の携帯電話などに送られてくる伝送フォーマットである。伝送とは、受信するデ

ータと送信するデータの双方を含む。つまり、携帯電話は受話器からの音声あるいは携帯電話に付属の CCD カメラで撮影した画像を他の携帯電話などに送信する場合もあるからである。したがって、図 105 などで説明する伝送フォーマットなどに関連する事項は送信、受信の双方に適用される。

【0517】本発明の携帯電話などにおいて、データはデジタル化されてパケット形式で伝送される。図 106 で記載しているように、フレームの中は、フラグ部

(F)、アドレス部(A)、コントロール部(C)、情報部(I)、及びフレームチェックシーケンス(FCS)からなる。コントロール部(C)のフォーマットは図 107 のように情報転送(Iフレーム)、監視(Sフレーム)、及び非番号制(Uフレーム)の3つの形式をとる。

【0518】まず、情報転送形式は、情報(データ)を転送する時に使用するコントロールフィールドの形式で、非番号制形式の一部を除けば、情報転送形式がデータフィールドを有する唯一の形式である。この形式によるフレームを情報フレーム(Iフレーム)という。

【0519】また、監視形式は、データリンクの監視制御機能、すなわち情報フレームの受信確認、情報フレームの再送要求などを行うために使用する形式である。この形式によるフレームを、監視フレーム(Sフレーム)という。

【0520】次に、非番号制形式は、その他のデータリンク制御機能を遂行するために使用するコントロールフィールドの形式で、この形式によるフレームを非番号制フレーム(Uフレーム)という。

【0521】端末及び網は送受信する情報フレームを送信シーケンス番号N(S)と受信シーケンス番号N(R)で管理する。N(S)、N(R)とも3ビットで構成され、0~7までの8個を循環番号として使い、7の次は0となるモジュラス構成をとっている。したがって、この場合のモジュラスは8であり、応答フレームを受信せずに連続送信できるフレーム数は7である。

【0522】データ領域には色数データを示す8ビットのデータとフレームレートを示す8ビットのデータが記載される。これらの例を図 105 (a)、(b)に示す。また、表示色の色数には静止画と動画の区別を記載しておくことが好ましい。また、携帯電話の機種名、送受信する画像データの内容(人物などの自然画、メニュー画面)などを図 106 のパケットに記載しておくことが望ましい。データを受け取った機種はデータをデコードし、それを自身(該当機種番号)のデータと認識したとき、記載された内容によって、表示色、フレームレートなどを自動的に変更する。また、記載された内容を表示装置の表示画面 21 に表示するように構成してもよい。ユーザーが表示画面 21 の記載内容(表示色、推奨フレームレート)を見て、キーなどを操作し、最適な表

示状態にマニュアルで変更すればよい。

【0523】なお、一例として、図 105 (b)では数値の3はフレームレート80Hzと一例をあげて記載しているがこれに限定されるものではなく、40~60Hzなどの一定範囲を示すものであってもよい。また、データ領域に携帯電話の機種などを記載しておいてもよい。機種により性能などが異なり、フレームレートを変化させる必要も発生するからである。また、画像が漫画であるとか、宣伝(CM)であるとかの情報を記載しておくことも好ましい。また、パケットに視聴料金や、パケット長などの情報を記載しておいてもよい。ユーザーが視聴料金の確認をして情報を受信するか否かを判断できるからである。また、画像データが誤差拡散処理をされているか否かのデータも記載しておくことが好ましい。

【0524】また、画像処理方法(誤差拡散処理、ディザ処理などの種別、重み付け関数の種類とそのデータ、ガンマの係数など)、機種番号などの情報を伝送されるフォーマットに記載しておけばよい。また、画像データがCCDで撮影されたデータか、JPEGデータか、また、その解像度、MPEGデータか、BITMAPデータかなどの情報を記載しておく、これを基にデータをデコードあるいは検出し、自動受信した携帯電話などを最適な状態に変更できるようになる。

【0525】もちろん、伝送されてくる画像が動画か静止画かを記載しておくこと、特に動画の場合は、動画の1秒あたりのコマ数を記載しておくことが好ましい。また、受信端末で推奨する再生コマ数/秒などの情報も記載しておくことが好ましい。

【0526】以上の事項は、伝送パケットが送信の場合でも同様である。また、本明細書では伝送パケットとして説明しているがパケットである必要はない。つまり、送信あるいは発信するデータ中に図 105 などで説明する情報が記載されたものであればいずれでもよい。

【0527】誤差拡散処理コントローラ 141 には、誤差処理されて送られてきたデータに対して逆誤差拡散処理を行い、元データに戻してから再度、誤差拡散処理を行う機能を付加することが好ましい。誤差拡散処理の有無は図 106 のパケットデータに載せておく。また、誤差拡散(ディザなどの方式も含む)の処理方法、形式など逆誤差拡散処理に必要なデータも載せておく。

【0528】逆誤差拡散処理を実施するのは、誤差拡散処理の過程において、ガンマカーブの補正も実現できるからである。データを受けたEL表示装置などのガンマカーブと、送られてきたガンマカーブとが適応しない場合や、送信されてきたデータが誤差拡散などの処理をすでに実施された画像データである場合がある。この事態に対応するために、逆誤差拡散処理を実施し、元データに変換してガンマカーブ補正の影響が出ないようにする。その後、受信したEL表示装置などで誤差拡散処理

を行い、受信表示パネルに最適なガンマカーブにし、かつ最適な誤差拡散処理となるように誤差拡散処理などを実施する。

【0529】また、表示色によりフレームレートを切り替えたい場合は、携帯電話などの装置にユーザボタンを配置し、ボタンなどを用いて表示色などを切り替えられるようにすればよい。

【0530】図104は情報端末装置の一例としての携帯電話の平面図である。筐体193にアンテナ191、テンキー192などが取り付けられている。194は表示色切り替えキーあるいは電源オンオフ、フレームレート切り替えキーである。

【0531】携帯電話などの内部回路ブロックを図108に示す。回路は主としてアップコンバータ205とダウンコンバータ204のブロック、デプレクサ201のブロック、LOバッファ203などのブロックから構成される。

【0532】キー194を1度押さえると表示色は8色モードに、続いて同一キー194を押さえると表示色は256色モード、さらに同一キー194を押さえると表示色は4096色モードとなるようにシーケンスを組んでもよい。キーは押さえるごとに表示色モードが変化するトグルスイッチとする。なお、別途表示色に対する変更キーを設けてもよい。この場合、キー194は3つ（以上）となる。

【0533】キー194はプッシュスイッチの他、スライドスイッチなどの他のメカニカルなスイッチでもよく、また、音声認識などにより切り替わるものでもよい。例えば、4096色を受話器に音声入力すること、例えば、「高品位表示」、「256色モード」あるいは「低表示色モード」と受話器に音声入力することにより表示パネルの表示画面21に表示される色が変化するように構成する。これは現行の音声認識技術を採用することにより容易に実現することができる。

【0534】また、表示色の切り替えは電氣的に切り替わるスイッチでもよく、表示パネルの表示画面21に表示させたメニューを触れることにより選択するタッチパネルでも良い。また、スイッチを押さえる回数で切り替える、あるいはクリックボールのように回転あるいは方向により切り替えるように構成してもよい。

【0535】194は表示色切り替えキーとしたが、フレームレートを切り替えるキーなどとしてもよい。また、動画と静止画とを切り替えるキーなどとしてもよい。また、動画と静止画とフレームレートなどの複数の要件を同時に切り替えてもよい。また、押さえ続けると徐々に（連続的に）フレームレートが変化するように構成してもよい。この場合は発振器を構成するコンデンサC、抵抗Rのうち、抵抗Rを可変抵抗にしたり、電子ボリウムにしたりすることにより実現できる。また、コンデンサはトリマコンデンサとすることにより実現でき

る。また、半導体チップに複数のコンデンサを形成しておき、1つ以上のコンデンサを選択し、これらを回路的に並列に接続することにより実現してもよい。

【0536】なお、表示色などによりフレームレートを切り替えるという技術的思想は携帯電話に限定されるものではなく、パームトップコンピュータや、ノートパソコン、デスクトップパソコン、携帯時計など表示画面を有する機器に広く適用することができる。また、液晶表示装置に限定されるものではなく、液晶表示パネル、有機EL表示パネルや、TFTパネル、PLZTパネルや、CRTにも適用することができる。

【0537】（実施の形態11）さらに、本発明のEL表示パネルあるいはEL表示装置もしくは駆動方法を採用した実施の形態について、図面を参照しながら説明する。

【0538】図109は本発明の実施の形態におけるビューファインダの断面図である。但し、説明を容易にするため模式的に描いている。また、一部拡大あるいは縮小した箇所や省略した箇所もある。例えば、図109においては接眼カバーを省略している。以上のことは他の図面においても該当する。

【0539】ボディー451の裏面は暗色あるいは黒色にされている。これは、表示パネル82から出射した迷光がボディー451の内面で乱反射し、表示コントラストの低下を防止するためである。また、表示パネルの光出射側にはλ/4板50（位相板など）、偏光板54などが配置されている。このことは図2でも説明している。

【0540】接眼リング452には拡大レンズ453が取り付けられている。観察者は接眼リング452をボディー451内での挿入位置を可変して、表示パネルの表示画像にピントが合うように調整する。また、必要に応じて表示パネルの光出射側に正レンズ454を配置すれば、拡大レンズ453に入射する主光線を収束させることができる。そのため、拡大レンズ453のレンズ径を小さくすることができ、ビューファインダを小型化することができる。

【0541】図110はビデオカメラの斜視図である。ビデオカメラは撮影レンズ461とビデオカメラ本体462とを具備し、撮影レンズ461とビューファインダ466とは背中合わせとなっている。また、ビューファインダ466には接眼カバー464が取り付けられている（図109も参照）。観察者（ユーザー）はこの接眼カバー464部から表示パネルの画像を観察する。

【0542】一方、本発明のEL表示パネルは表示画面21としても使用されている。表示画面21は支点468で角度を自由に調整できる。表示画面21を使用しない時は、格納部463に格納される。

【0543】図110において、465は表示モード切り替えスイッチである。表示モード切り替えスイッチ4

65を押さえると図35の回路が動作し、図35で説明した事項が実施される。

【0544】本実施の形態のEL表示装置はビデオカメラだけでなく、図111に示すような電子カメラにも適用することができる。表示パネル82はデジタルカメラ本体472に付属されたモニターとして用いる。デジタルカメラ本体472にはシャッタ471の他、表示モード切り替えスイッチ465が取り付けられている。

【0545】また、クロック・フェーズと画面位置（水平・垂直）を自動調整する「画面自動調整」機能や、ブラック・レベル・コントラストを自動調整する「オートゲインコントロール機能」を搭載することが好ましい。ブラック・レベル・コントラストを適正な値に調整すれば、RGB各色に対して最適な階調表示を実現できる。さらに、VGAモードなどを縮小あるいは拡大表示した際に発生するにじみなどを抑える機能を搭載することが好ましい。また、一定時間使用しない際には、自動的にバックライトが消える「パワーセーブモード」を搭載することが好ましい。以上の事項は他の本発明でも同様である。

【0546】以上は表示パネル82の表示領域が比較的小型の場合であるが、30インチ以上と大型となると表示画面21がたわみやすい。その対策のため、本発明では図112に示すように、表示パネル82に外枠481をつけ、外枠481をつりさげられるように固定部材482で取り付けられている。この固定部材482を用いて図113に示すように、ネジ等の固定部材482を用いて壁491などに取り付ける。

【0547】しかし、表示パネル82の画面サイズが大きくなると重量も重たくなる。そのため、表示パネル82の下側に脚取り付け部484を配置し、複数の脚483で表示パネル82の重量を保持できるようにしている。

【0548】図112のように、脚483はAに示すように左右に移動でき、また、脚483はBに示すように収縮できるように構成されている。そのため、狭い場所であっても表示装置を容易に設置することができる。

【0549】なお、脚483あるいは筐体（他の本発明においても）にはプラスチックフィルム—金属板複合材（以後、複合材と呼ぶ）を使用する。複合材は、金属とプラスチックフィルムを特殊表面処理層（接着層）を介して強力に接着したものである。金属板は0.2mm以上0.8mm以下が好ましく、金属板に特殊表面処理層を介して貼り合わされるプラスチックフィルムは15 μ m以上100 μ m以下にすることが好ましい。特殊接着法によりプラスチックと金属板間に強固な密着力を有するようになる。この複合材を使用することにより、プラスチック層への着色、染色、印刷が可能となり、また、プレス部品での二次加工工程（フィルムの手貼り、メッキ塗装）の削除が可能となる。また、従来では不可能で

あった深絞り成形やDI成形に適する。

【0550】図112のテレビにおいて、画面の表面を保護フィルム（保護板でもよい）493で被覆している。これは、表示パネル82の表示画面21に物体が当たって破損することを防止することが1つの目的である。保護フィルム493の表面にはAIRコートが形成されており、また、表面をエンボス加工することにより液晶表示画面21に外の状況（外光）が写り込むことを抑制している。

【0551】保護フィルム493と表示パネル82間にビーズなどを散布することにより、一定の空間が配置されるように構成する。また、保護フィルム493の裏面に微細な凸部を形成し、この凸部で表示パネル82と保護フィルム493間に空間を保持させる。このように、空間を保持することにより保護フィルム493からの衝撃が表示パネル82に伝達することを抑制する。

【0552】また、保護フィルム493と表示パネル82間にアルコール、エチレングリコールなど液体あるいはゲル状のアクリル樹脂あるいはエポキシなどの固体樹脂などの光結合剤を配置または注入することも効果がある。界面反射を防止できるとともに、前記光結合剤が緩衝材として機能するからである。

【0553】保護フィルム493としては、ポリカーボネートフィルム（板）、ポリプロピレンフィルム（板）、アクリルフィルム（板）、ポリエステルフィルム（板）、PVAフィルム（板）などが例示される。その他、エンジニアリング樹脂フィルム（ABSなど）を用いることもできる。また、強化ガラスなど無機材料からなるものでもよい。保護フィルム493を配置するかわりに、表示パネル82の表面をエポキシ樹脂、フェノール樹脂、アクリル樹脂で0.5mm以上2.0mm以下の厚みでコーティングすることも同様の効果がある。また、これらの樹脂表面にエンボス加工などをもすることも有効である。

【0554】また、保護フィルム493あるいはコーティング材料の表面をフッ素コートすることにも効果がある。表面についた汚れを洗剤などで容易にふき落とすことができるからである。また、保護フィルムを厚く形成し、フロントライトと兼用してもよい。

【0555】画面は4：3に限定されるものではなく、ワイド表示ディスプレイでもよい。解像度は1280×768ドット以上にすることが好ましい。ワイド型とすることにより、DVD映画やテレビ放送など、横長表示のタイトルや番組をフルスクリーンで楽しむことができる。表示パネル82の明るさは300cd/m²（カンデラ/平方メートル）、さらには500cd/m²（カンデラ/平方メートル）にすることが好ましい。また、インターネットや通常のパソコン作業に適した明るさ（200cd/m²）で表示できるように切り替えスイッチを設置している。

【0556】このように、使用者は表示内容あるいは使用方法により、最適な画面の明るさにすることができ、さらに動画を表示しているウインドウだけを500cd/m²にして、その他の部分は200cd/m²にする設定も可能である。テレビ番組をディスプレイの隅に表示しておいて、メールをチェックするといった使い方に柔軟に対応できる。スピーカーはタワー型の形状になり、前方向だけではなく、空間全体に音が広がるように設計されている。

【0557】テレビ番組の再生、録画機能も使い勝手が向上している。例えば、iモードからの録画予約が簡単にできる。従来は新聞などのテレビ番組表で時間、チャンネルを確認してから予約する必要があったが、電子番組表をiモードで確認して予約できる。これなら、放送時間が分からなくて困ることもない。また、録画番組の短縮再生もできる。ニュース番組などのテロップや音声の有無で重要性を判断しながら、不必要と判断した部分を飛ばして、番組の概要を短時間で見るができる(30分番組で1~10分程度)。

【0558】また、テレビ録画ができるようにディスク容量が40GB以上のハードディスクを積載している。これは本体の他に、電源と映像入出力端子をまとめた拡張ボックスで構成されている。ビデオなどのAV機器の接続に使う拡張ボックスには、パソコンとテレビの他に2系統の映像機器を接続できる。映像入力にB Sデジタルチューナー用のD1端子の他にS端子入力も備え、接続する機器に合わせて選択できる。また、ゲーム機などの接続に便利のようにAV用の端子は前面に配置されている。

【0559】以上の保護フィルム493、筐体、構成、特性、機能などに関する事項は本発明の他の表示装置あるいは情報表示装置などにも適用されることは言うまでもない。

【0560】すでに説明したが、図52のTFT11d、図53のTFT11e、図54のTFT11d、図55のTFT11b、図56のTFT11d、図57のTFT11d、図58のTFT11e、図59のTFT11e、図60のTFT11d、図62のTFT11d、図63のTFT11d、図67のTFT11e、図75のTFT11eなどのオンオフ状態を制御することにより、図29、図33、図39、図41、図43、図44、図45、図48、図50、図51、図98などで説明した駆動方法あるいは表示方法もしくは装置を実施できることは言うまでもない。

【0561】また、図6などの駆動用TFT11b、取込用TFT11c、スイッチング用TFT11dなどはNチャンネルで形成されることが好ましい。コンデンサ19への突き抜け電圧が低減するからである。

【0562】また、EL素子は点灯初期に特性変化が大きいので、焼きツキなどが発生しやすい。この対策のた

め、パネル形成後、20時間以上150時間以内の間、白ラスタ表示でエージングを行った後に、商品として出荷することが好ましい。このエージングでは所定表示輝度よりも2~10倍程度の明るさで表示させることが好ましい。

【0563】図10、図29~図33、図35、図40、図43、図46、図47、図49、図81、図83~図94などを用いて駆動(表示)方法、駆動回路について説明したが、これらの技術的思想を実現するガリ砒素、シリコン、ゲルマニウムなどで作製された半導体チップも本発明の権利範囲である。これらの半導体チップを表示パネルに実装することにより表示装置、情報表示装置などを実現できる。

【0564】また、図6(b)、図9、図56、図59、図60、図62などにおけるVbb電圧を印加する端子を、図47で説明したようにゲートドライバ12bに接続することにより、良好な画像表示を実現することができる。

【0565】また、図96、図100などで説明した電源電圧Vddなどに関する事項も本明細書のすべての画素構成あるいは、表示パネル、情報表示装置あるいは駆動方法に適用される。また、図2~図5、図12~図24、図77、図81、図83~図94、図99、図101~図103、図105、図108~図112などに関しても本明細書のすべての画素構成あるいは、ドライバ配置、表示パネル、情報表示装置あるいは駆動方法に適用されることは言うまでもない。

【0566】また、図76、図78、図81、図83~図94などで説明したEL素子15に逆バイアス電圧を印加する方法あるいは構成も、図6、図8、図29、図42、図46、図47、図52~図56、図59~図63、図67、図69~図75、図95などの画素構成あるいはアレイ構成などに適用することは言うまでもない。また、これらの構成で、図28~図31、図33~図40、図43~図45、図48、図50、図51、図75などを実現できることも説明を要しない。図12~図21の3辺フリー構成と組み合わせることも有効であることは言うまでもない。特に、3辺フリー構成の場合は、画素がアモルファスシリコン技術を用いて作製されている時に有効である。また、アモルファスシリコン技術で形成されたパネルでは、TFT素子の特性ばらつきのプロセス制御が不可能なため、本発明の電流駆動を実施することが好ましい。

【0567】さらに、これらの技術を用いて、図2~図5、図12~図24、図77、図81、図83~図94、図99、図101~図103、図105、図108~図112などの表示パネル、情報表示装置あるいは駆動方法に適用できることも言うまでもない。

【0568】図1、図80~図94などで説明した画素構成、あるいは駆動方法における画素構成あるいはアレ

イ構成などは E L 表示パネルにのみ限定されるものではない。例えば、液晶表示パネルにも適用することができる。その際は、E L 素子 15 を液晶層、P L Z T、L E D などの光変調層に置き換えればよい。また、スイッチング素子についても T F T に限定されるものでない。また、本明細書のすべての画素構成あるいは、ドライバ配置、表示パネル、情報表示装置あるいは駆動方法に適用されることは言うまでもない。

【0569】図 6、図 8、図 17～図 21、図 29、図 42、図 46、図 47、図 52～図 56、図 59～図 63、図 67～図 75、図 81、図 83～図 95 などの画素構成あるいはアレイ構成などは E L 表示パネルにのみ限定されるものではない。例えば、液晶表示パネルにも適用することができる。その際は、E L 素子 15 を液晶層、P L Z T、L E D などの光変調層に置き換えればよい。また、スイッチング素子についても T F T に限定されるものでないことは、図 100 などで説明した。

【0570】また、図 3、図 12、図 15、図 17～図 21、図 77、図 104～図 106、図 109～図 112 などの構成、装置、方式は E L 表示パネルを用いたものに限定されるものではない。例えば、P D P 表示パネル、P L Z T 表示パネル、液晶表示パネルなどを用いたものにも適用することができる。

【0571】図 25、図 26 の方法にあつては、E L 表示パネルの製造方法に限定されるものではない。例えば、液晶表示パネルの製造方法にも適用できる。また、図 12～図 21 の構成あるいは方法にあつても E L 表示パネルに限定されるものではなく、L E D 表示パネル、液晶表示パネルなどにも適用できることは言うまでもない。図 28～図 31、図 33～図 40、図 43～図 45、図 48、図 50、図 51、図 75 などの表示方法についても同様である。

【0572】以上、本発明の実施例で説明した技術的思想はビデオカメラ、プロジェクター、立体テレビ、プロジェクションテレビなどに適用できる。また、ビューファインダ、携帯電話のモニター、P H S、携帯情報端末およびそのモニター、デジタルカメラおよびそのモニターにも適用できる。また、電子写真システム、ヘッドマウントディスプレイ、直視モニターディスプレイ、ノートパーソナルコンピュータ、ビデオカメラ、電子スチルカメラにも適用できる。また、現金自動引き出し機のモニター、公衆電話、テレビ電話、パーソナルコンピュータ、腕時計およびその表示装置にも適用できる。さらに、家庭電器機器の表示モニター、ポケットゲーム機器およびそのモニター、表示パネル用バックライトあるいは家庭用もしくは業務用の照明装置などにも適用あるいは応用展開できることは言うまでもない。また、広告あるいはポスターなどの表示装置、R G B の信号器、警報表示灯などにも応用できる。

【0573】

【発明の効果】本発明の表示パネル、表示装置等は、高画質、良好な動画表示性能、低消費電力、低コスト化、高輝度化等のそれぞれの構成に応じて特徴ある効果を発揮する。

【0574】なお、本発明を用いれば、低消費電力の情報表示装置などを構成できるので、電力を消費しない。また、小型軽量化できるので、資源を消費しない。したがって、地球環境、宇宙環境に優しいこととなる。

【図面の簡単な説明】

【図 1】本発明の表示パネルの駆動方法の説明図

【図 2】本発明の表示装置の断面図

【図 3】本発明の表示パネルの断面図

【図 4】本発明の表示装置の断面図

【図 5】本発明の表示装置の断面図

【図 6】本発明の表示パネルの回路構成図

【図 7】本発明の表示パネルの説明図

【図 8】本発明の表示パネルの説明図

【図 9】本発明の表示パネルの説明図

【図 10】本発明の表示装置の回路構成図

【図 11】本発明の表示装置の説明図

【図 12】本発明の表示パネルの説明図

【図 13】本発明の表示パネルの説明図

【図 14】本発明の表示パネルの説明図

【図 15】本発明の表示パネルの説明図

【図 16】本発明の表示パネルの説明図

【図 17】本発明の表示パネルの駆動方法の説明図

【図 18】本発明の表示パネルの説明図

【図 19】本発明の表示パネルの説明図

【図 20】本発明の表示パネルの説明図

【図 21】本発明の表示パネルの説明図

【図 22】本発明の表示装置の説明図

【図 23】本発明の表示装置の説明図

【図 24】本発明の表示装置の断面図

【図 25】本発明の表示パネルの製造方法の説明図

【図 26】本発明の表示パネルの製造方法の説明図

【図 27】本発明の表示パネルの説明図

【図 28】本発明の表示パネルの駆動方法の説明図

【図 29】本発明の表示パネルの駆動方法の説明図

【図 30】本発明の表示パネルの駆動方法の説明図

【図 31】本発明の表示パネルの駆動方法の説明図

【図 32】本発明の表示パネルの駆動方法の説明図

【図 33】本発明の表示パネルの駆動方法の説明図

【図 34】本発明の表示パネルの駆動方法の説明図

【図 35】本発明の表示パネルの回路ブロック図

【図 36】本発明の表示パネルの駆動方法の説明図

【図 37】本発明の表示パネルの駆動方法の説明図

【図 38】本発明の表示パネルの駆動方法の説明図

【図 39】本発明の表示パネルの駆動方法の説明図

【図 40】本発明の表示パネルの駆動方法の説明図

【図 41】本発明の表示パネルの駆動方法の説明図

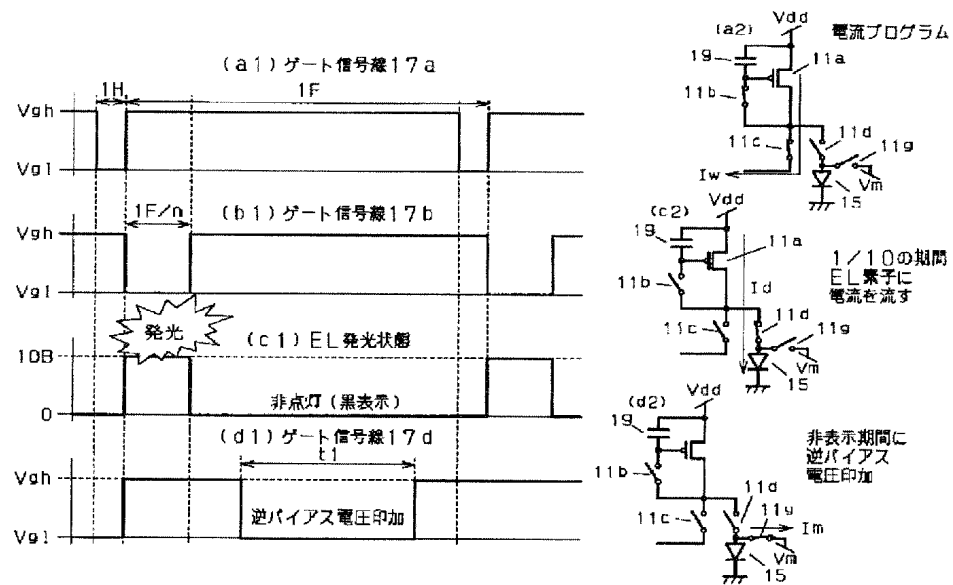
【図 4 2】本発明の表示パネルの説明図
 【図 4 3】本発明の表示パネルの駆動方法の説明図
 【図 4 4】本発明の表示パネルの駆動方法の説明図
 【図 4 5】本発明の表示パネルの駆動方法の説明図
 【図 4 6】本発明の表示パネルの回路ブロック図
 【図 4 7】本発明の表示パネルの回路ブロック図
 【図 4 8】本発明の表示パネルの駆動方法の説明図
 【図 4 9】本発明の表示パネルの回路ブロック図
 【図 5 0】本発明の表示パネルの駆動方法の説明図
 【図 5 1】本発明の表示パネルの駆動方法の説明図
 【図 5 2】本発明の表示パネルの説明図
 【図 5 3】本発明の表示パネルの説明図
 【図 5 4】本発明の表示パネルの説明図
 【図 5 5】本発明の表示パネルの説明図
 【図 5 6】本発明の表示パネルの説明図
 【図 5 7】本発明の表示パネルの説明図
 【図 5 8】本発明の表示パネルの説明図
 【図 5 9】本発明の表示パネルの説明図
 【図 6 0】本発明の表示パネルの説明図
 【図 6 1】本発明の表示パネルの説明図
 【図 6 2】本発明の表示パネルの説明図
 【図 6 3】本発明の表示パネルの説明図
 【図 6 4】本発明の表示パネルの駆動方法の説明図
 【図 6 5】本発明の表示パネルの駆動方法の説明図
 【図 6 6】本発明の表示パネルの駆動方法の説明図
 【図 6 7】本発明の表示パネルの説明図
 【図 6 8】本発明の表示パネルの説明図
 【図 6 9】本発明の表示パネルの説明図
 【図 7 0】本発明の表示パネルの説明図
 【図 7 1】本発明の表示パネルの説明図
 【図 7 2】本発明の表示パネルの説明図
 【図 7 3】本発明の表示パネルの説明図
 【図 7 4】本発明の表示パネルの説明図
 【図 7 5】本発明の表示パネルの説明図
 【図 7 6】本発明の表示パネルの駆動方法の説明図
 【図 7 7】本発明の表示装置の説明図
 【図 7 8】本発明の表示パネルの説明図
 【図 7 9】本発明の表示パネルの駆動方法の説明図
 【図 8 0】本発明の表示パネルの駆動方法の説明図
 【図 8 1】本発明の表示パネルの説明図
 【図 8 2】本発明の表示パネルの説明図
 【図 8 3】本発明の表示パネルの説明図
 【図 8 4】本発明の表示パネルの説明図
 【図 8 5】本発明の表示パネルの説明図
 【図 8 6】本発明の表示パネルの説明図
 【図 8 7】本発明の表示パネルの説明図
 【図 8 8】本発明の表示パネルの説明図
 【図 8 9】本発明の表示パネルの説明図
 【図 9 0】本発明の表示パネルの説明図
 【図 9 1】本発明の表示パネルの説明図

【図 9 2】本発明の表示パネルの説明図
 【図 9 3】本発明の表示パネルの説明図
 【図 9 4】本発明の表示パネルの説明図
 【図 9 5】本発明の表示パネルの説明図
 【図 9 6】本発明の表示パネルの説明図
 【図 9 7】本発明の表示パネルの説明図
 【図 9 8】本発明の情報表示装置の説明図
 【図 9 9】本発明の情報表示装置の説明図
 【図 1 0 0】本発明の表示パネルの説明図
 【図 1 0 1】本発明の表示装置の構成図
 【図 1 0 2】本発明の表示装置の構成図
 【図 1 0 3】本発明の表示装置の説明図
 【図 1 0 4】本発明の情報表示装置の平面図
 【図 1 0 5】本発明の表示装置のデータ伝送方法の説明図
 【図 1 0 6】本発明の表示装置のデータ伝送方法の説明図
 【図 1 0 7】本発明の表示装置のデータ伝送方法の説明図
 【図 1 0 8】本発明の情報表示装置の説明図
 【図 1 0 9】本発明のビューファインダの断面図
 【図 1 1 0】本発明のビデオカメラの斜視図
 【図 1 1 1】本発明の電子カメラの斜視図
 【図 1 1 2】本発明のテレビの説明図
 【図 1 1 3】本発明のテレビの説明図
 【図 1 1 4】本発明の表示パネルの駆動方法の説明図
 【図 1 1 5】従来の表示パネルの回路構成図
 【符号の説明】
 1 1 T F T
 1 2 ゲートドライバ
 1 4 ソースドライバ
 1 4 a 1 チップドライバ I C
 1 5 E L 素子
 1 6 画素
 1 7 ゲート信号線
 1 8 ソース信号線
 1 9 コンデンサ
 2 0 電流供給線
 2 1 表示画面
 2 2 シフトレジスタ
 2 3 インバータ回路
 2 4 出力ゲート
 4 1 封止フタ
 4 3 凹部
 4 4 凸部
 4 5 シール剤
 4 6 反射膜
 4 7 有機 E L 層
 4 8 画素電極
 4 9 アレイ基板

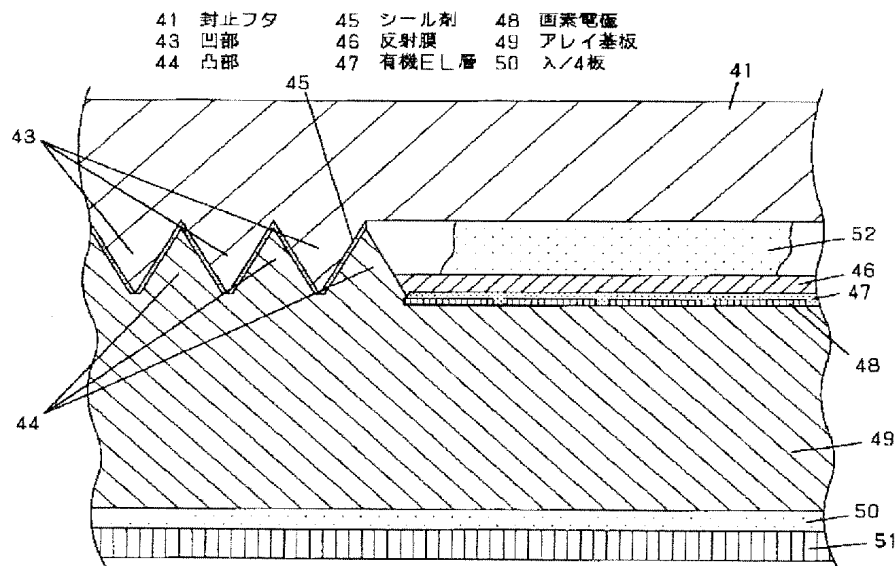
50 $\lambda/4$ 板
 51 カソード配線
 52 コンタクトホール
 53 カソード電極
 54 偏光板
 55 乾燥剤
 61, 62 接続端子
 63 アノード配線
 71 平滑化膜
 72 透明電極
 73 封止膜
 74 円偏光板
 81 エッジ保護膜
 82 表示パネル
 91 遮光膜
 92 低抵抗化配線
 101 コントロールIC
 102 電源IC
 103 プリント基板
 104 フレキシブル基板
 105 データ信号
 141 誤差拡散コントローラ
 151 内蔵表示メモリ
 152 演算メモリ
 153 演算回路
 154 バッファ回路
 191 アンテナ
 192 テンキー
 193 筐体
 194 キー
 201 デプレクサ
 202 LNA
 203 LOバッファ
 204 ダウンコンバータ
 205 アップコンバータ
 206 PAプリドライバ
 207 PA
 230 レーザー照射スポット
 241 ガラス基板
 242 位置決めマーカ
 251 凸部
 252 凹部
 311 画像表示領域

312 非表示領域
 351 カウンタ回路
 352 輝度メモリ
 353 CPU
 354 フレームメモリ (フィールドメモリ)
 355 切り替え回路
 391 書き込み画素行
 392 保持画素行
 401 電圧源
 402 電流源
 403 電源切り替え手段
 404 寄生容量
 451 ボディー
 452 接眼リング
 453 拡大レンズ
 454 正レンズ
 461 撮影レンズ
 462 ビデオカメラ本体
 463 格納部
 464 接眼カバー
 465 表示モード切り替えスイッチ
 466 ビューファインダ
 467 蓋
 468 支点
 471 シャッタ
 472 デジタルカメラ本体
 481 外枠
 482 固定部材
 483 脚
 484 脚取り付け部
 491 壁
 492 固定金具
 493 保護フィルム (保護板)
 501 走査領域
 601 ENBL端子
 602 OR回路
 851 シャッタ
 852 観察用眼鏡 (切り替え手段)
 861 プリズム
 862 光結合材
 871 書き込み画素行
 1001 フライングコンデンサ

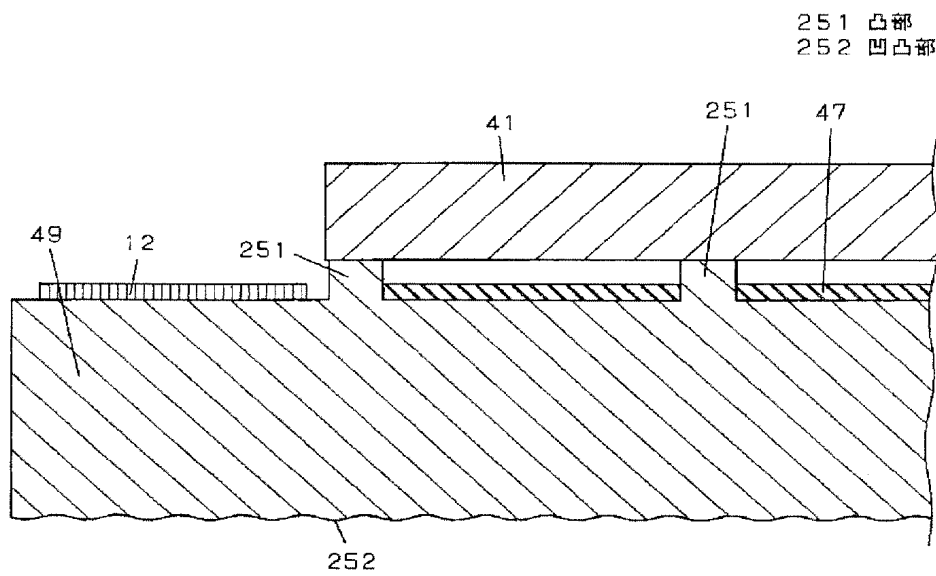
【図1】



【図2】

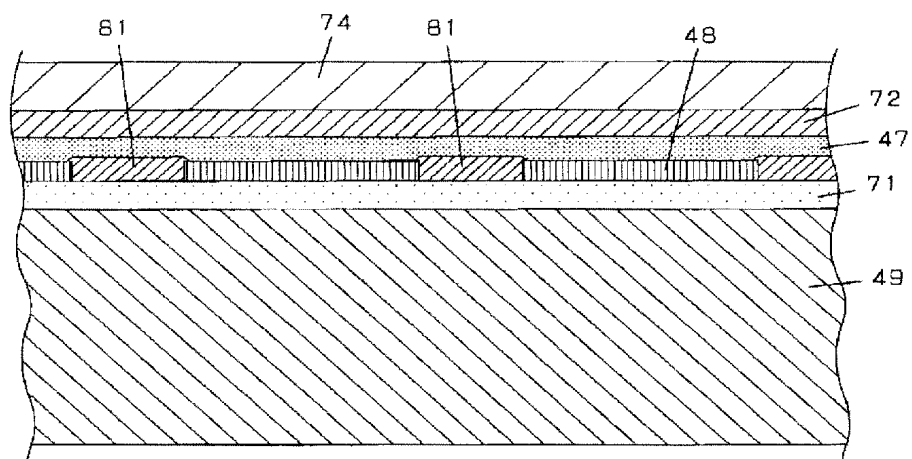


【図3】



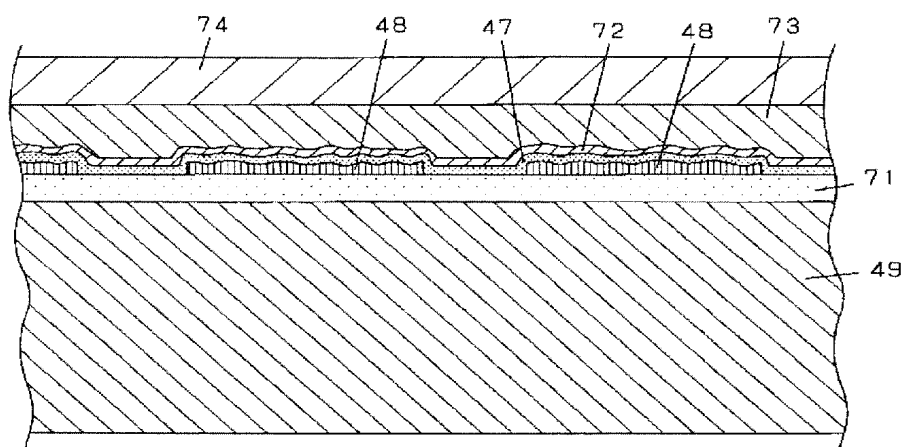
【図4】

81 エッジ保護膜



【図5】

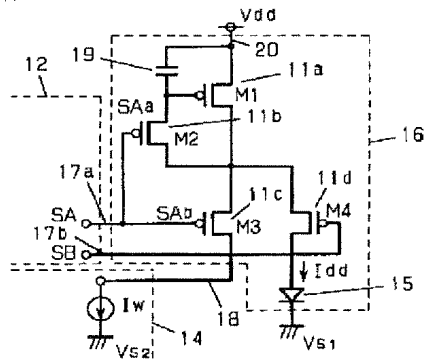
71 平滑化膜 73 封止膜
72 透明電極 74 円偏光板



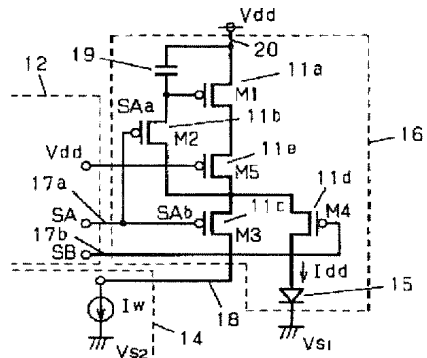
【図6】

11 TFT 17 ゲート信号線
12 ゲートドライバ 18 ソース信号線
14 ソースドライバ 19 コンデンサ
15 EL素子 20 電流供給線
16 画素

(a)

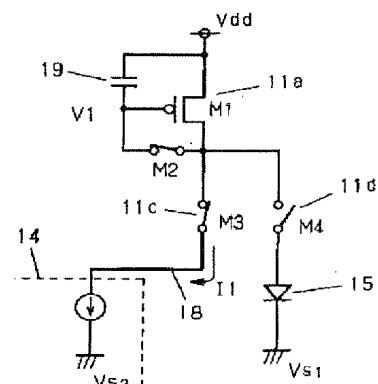


(b)

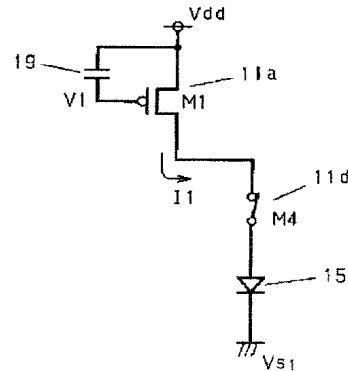


【図7】

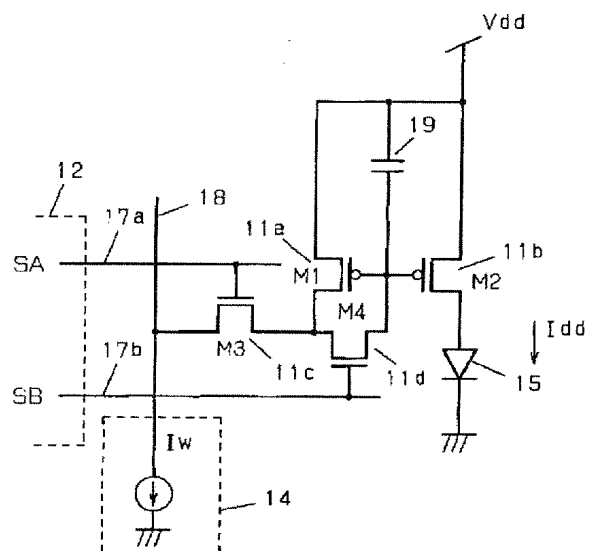
(a)



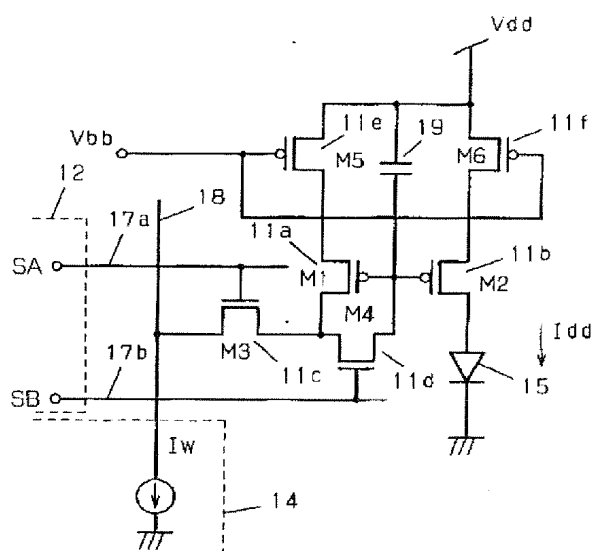
(b)



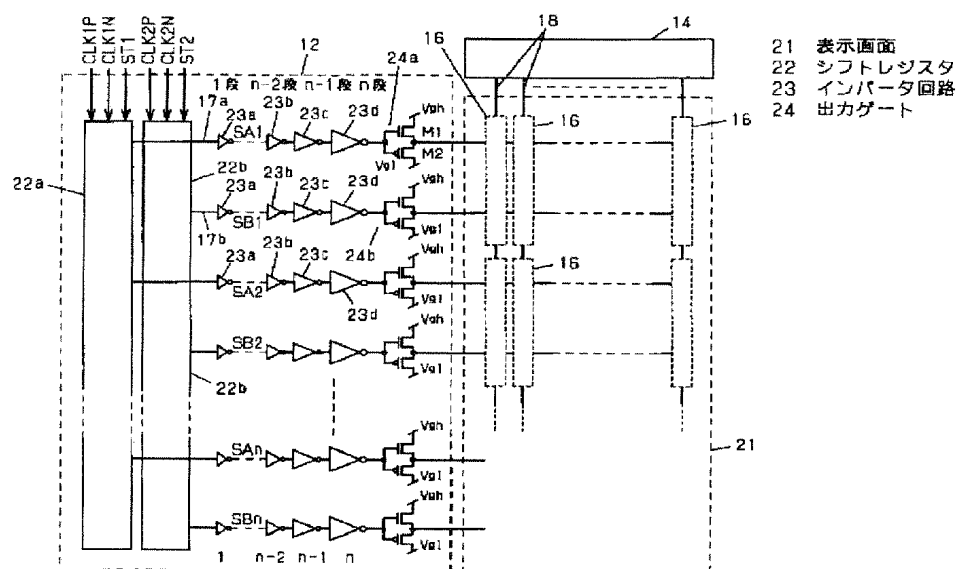
【図8】



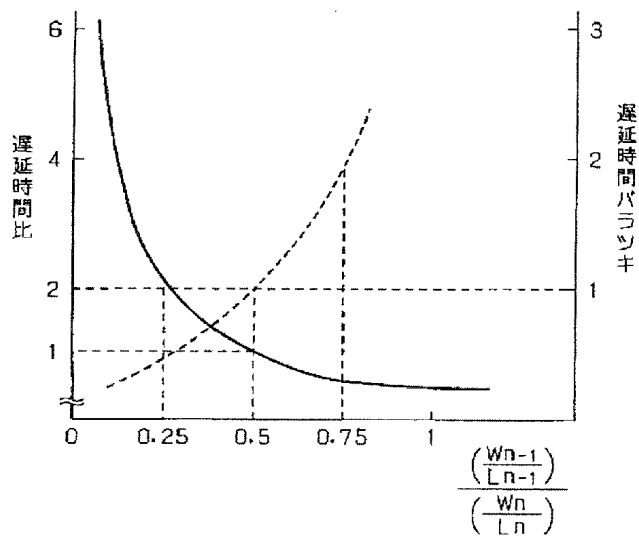
【図9】



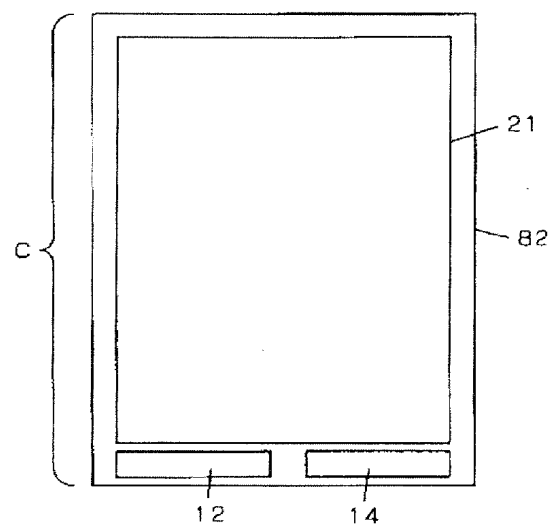
【図10】



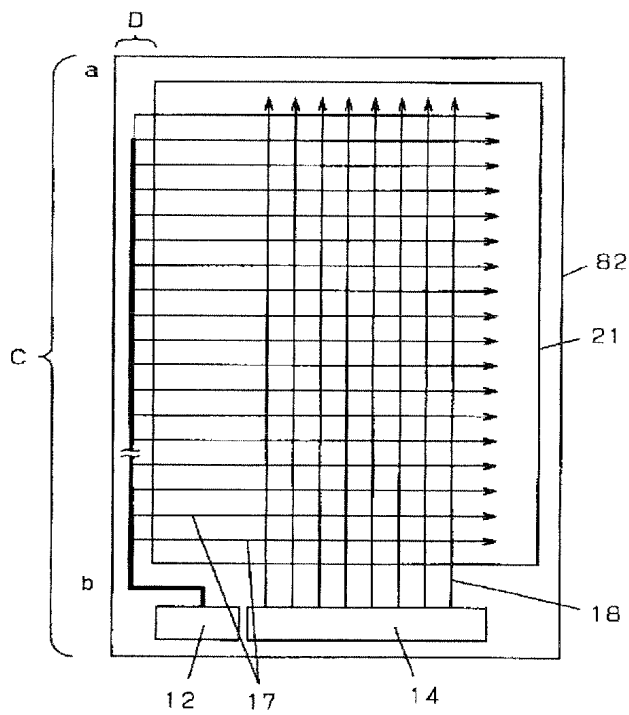
【図11】



【図12】

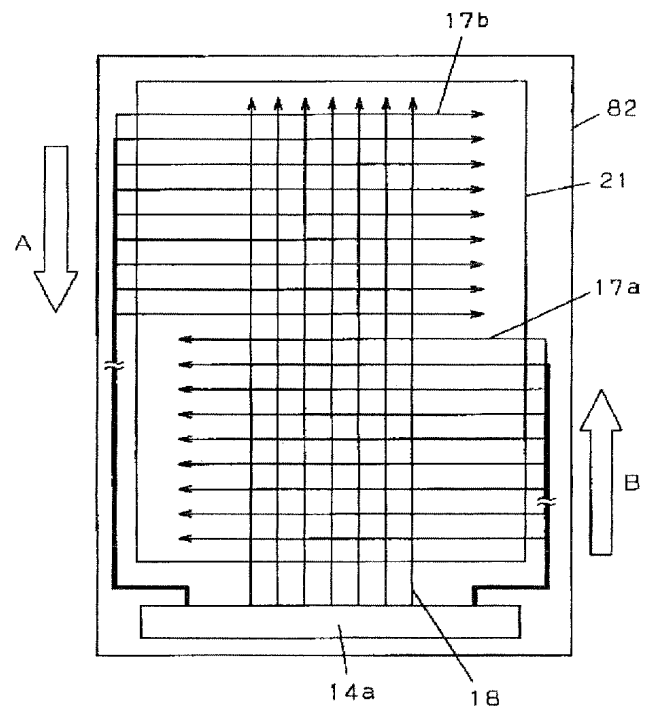


【図13】

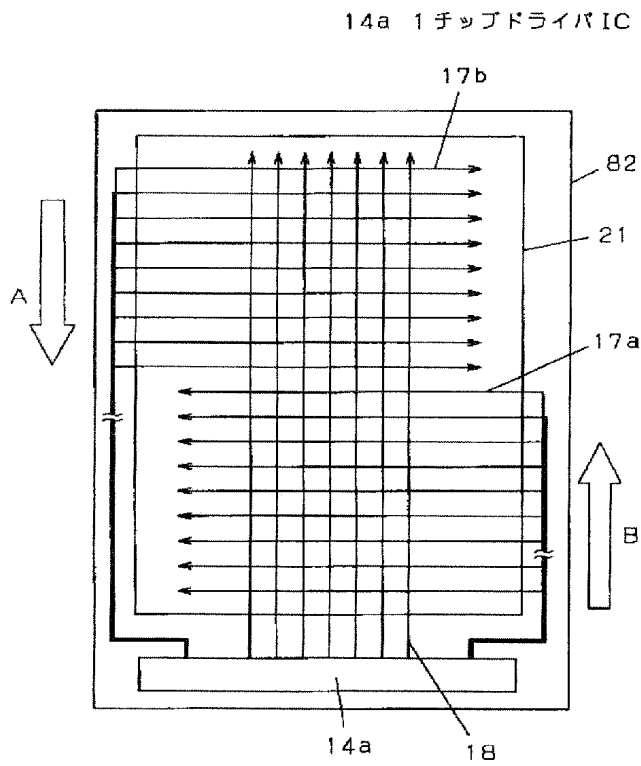


【図14】

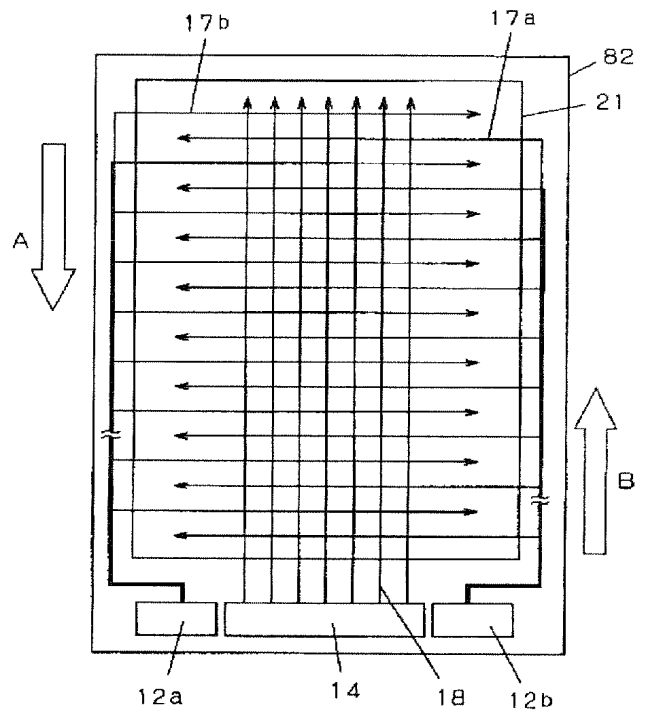
14a 1チップドライバIC



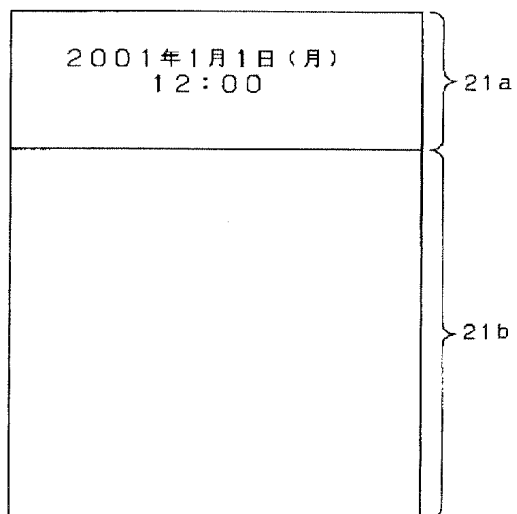
【図15】



【図16】

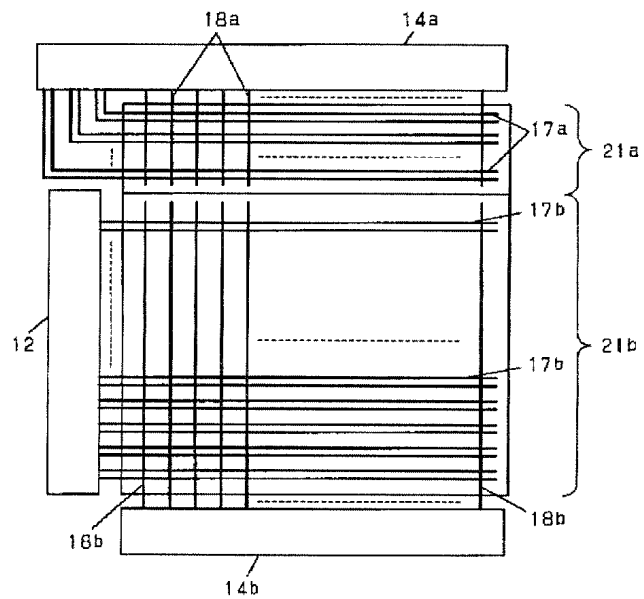


【図17】

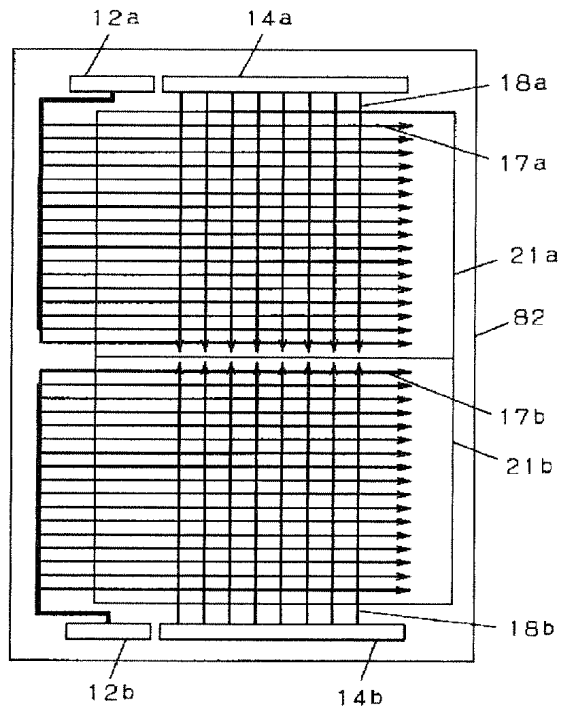


【図18】

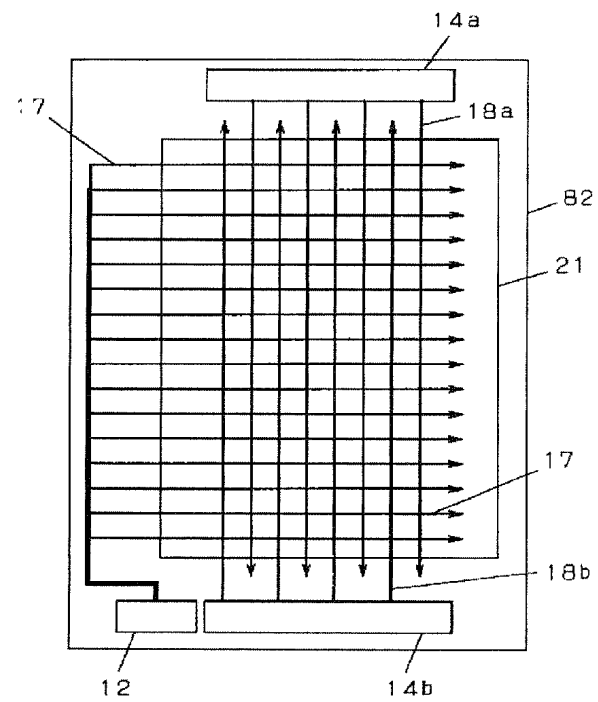
14a 1チップドライバIC



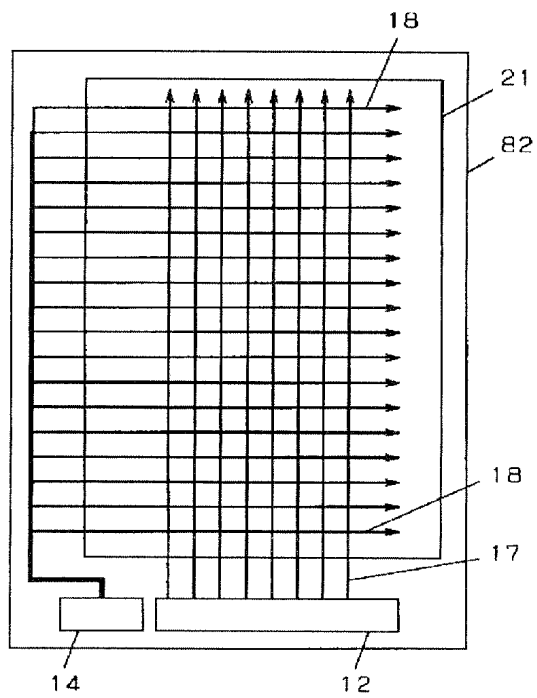
【図19】



【図20】

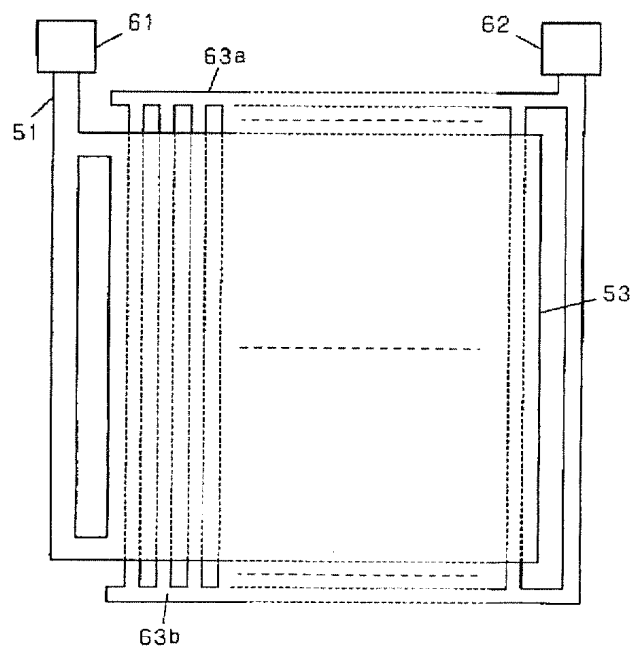


【図21】

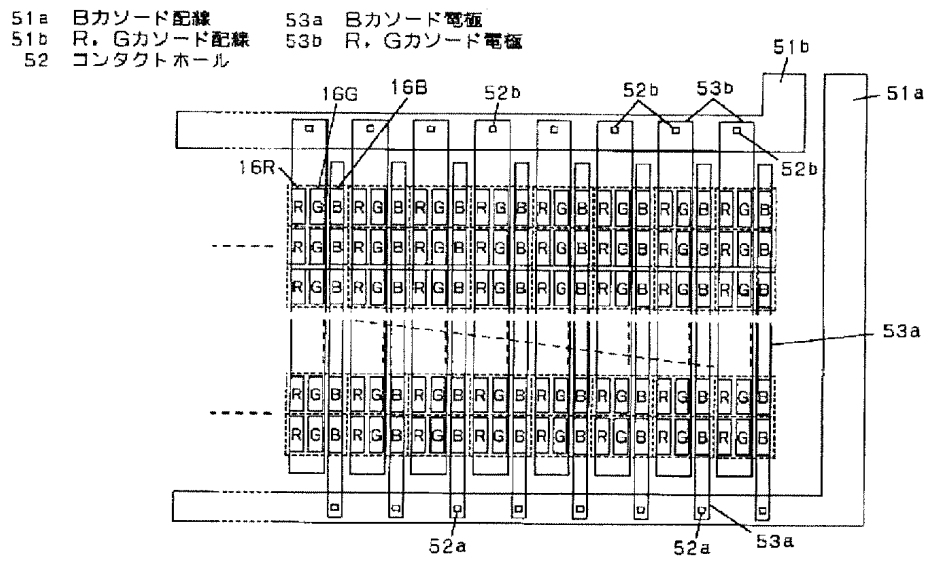


【図23】

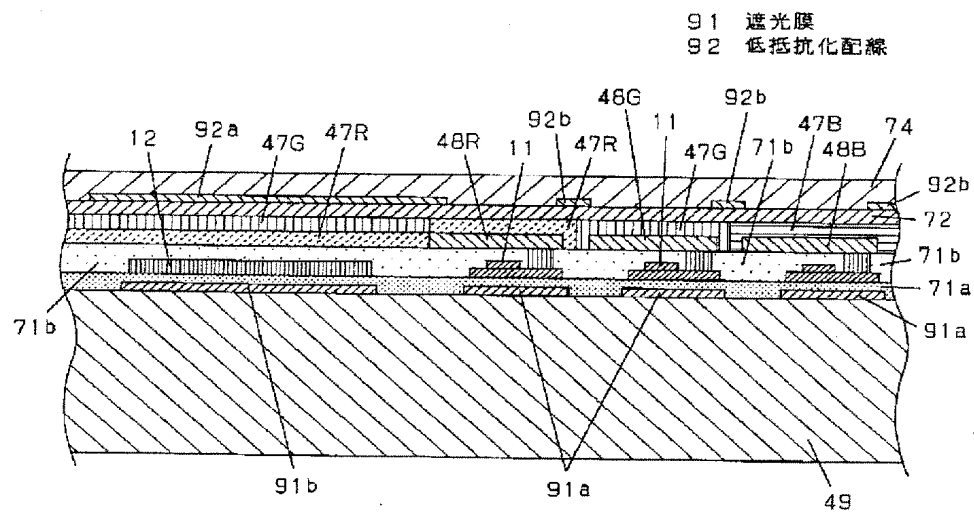
61, 62 接続端子
63 アノード配線



【図22】



【図24】



【図30】

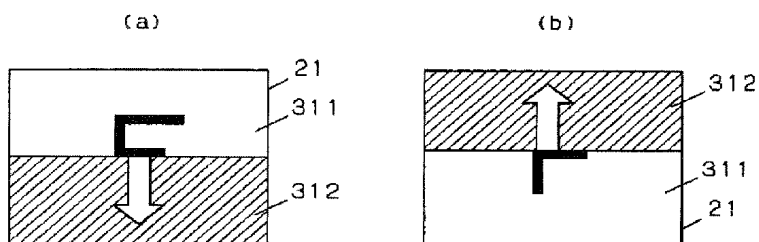
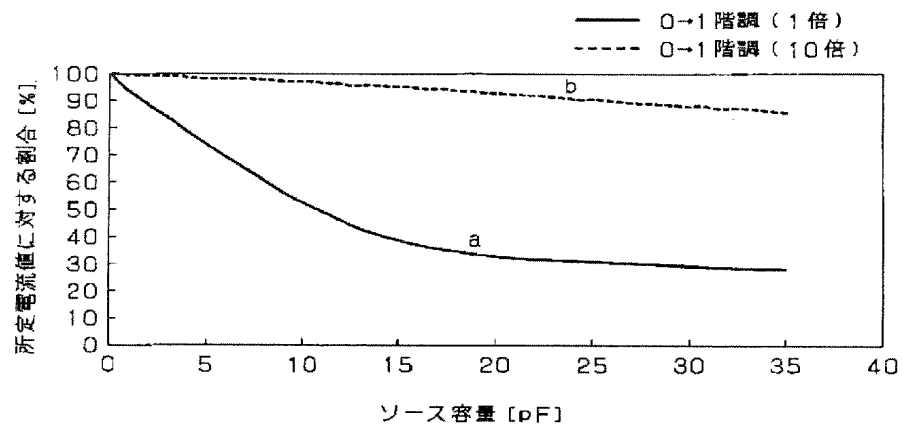
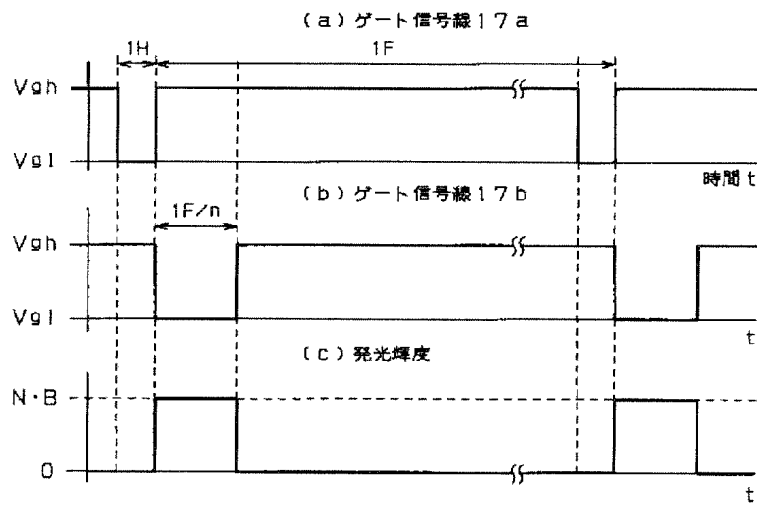


Figure 1 is a schematic diagram of a glass substrate 241. The substrate features a 3x4 grid of square openings. Each opening contains a thin vertical strip 49. A vertical dashed line 230 passes through the first column of openings. A horizontal arrow points from the first column to the second. Positioning marks 242 are shown as small crosses along the top and bottom edges. Labels 242a and 242b indicate specific marks on the top and bottom edges respectively.

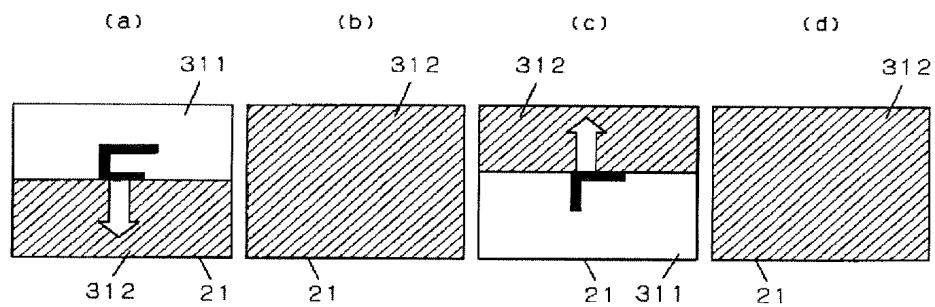
【図27】



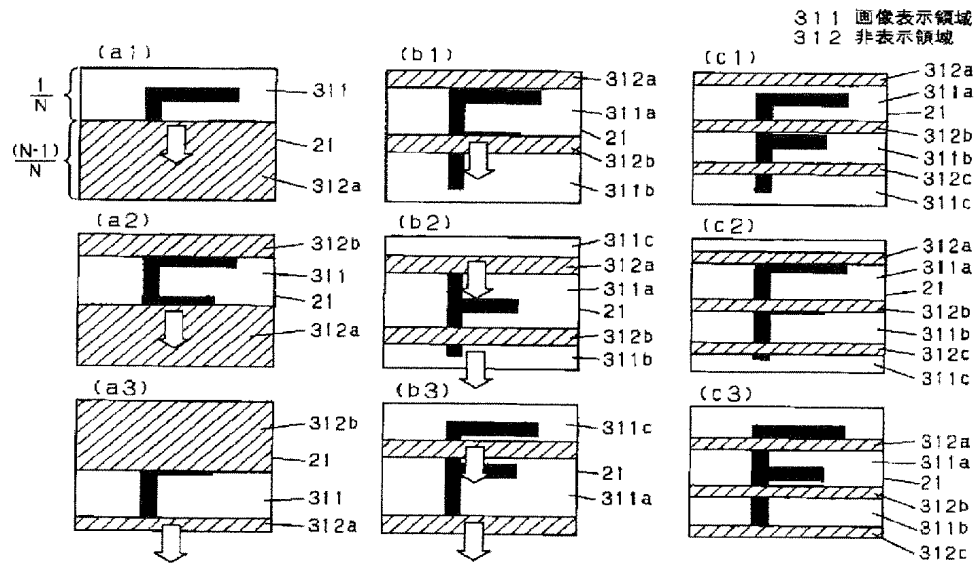
【図28】



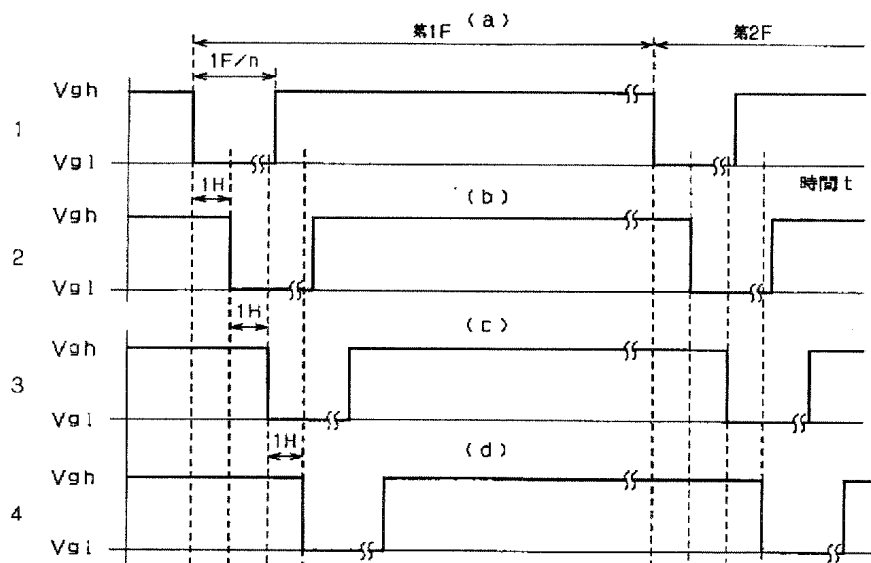
【図31】



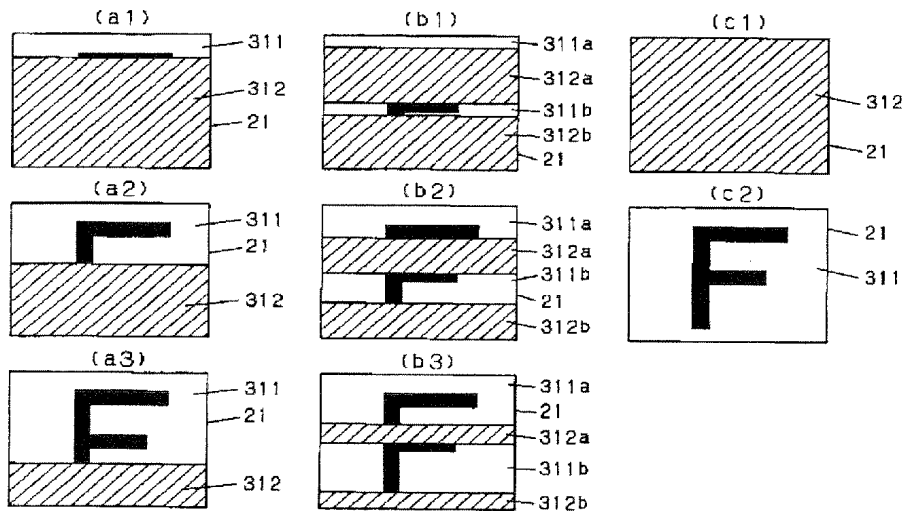
【図29】



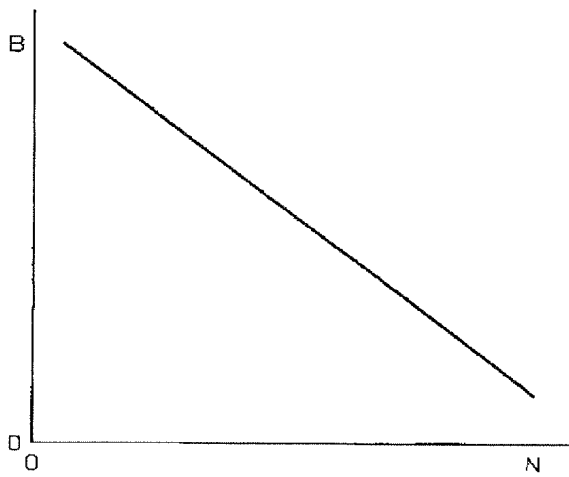
【図32】



【図33】

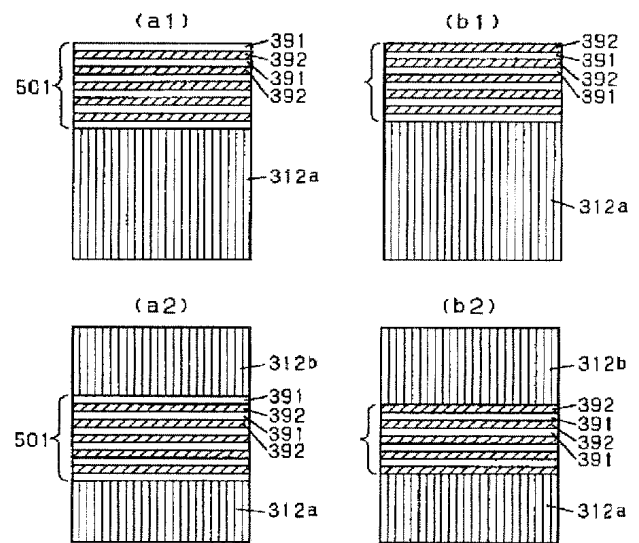


【図34】

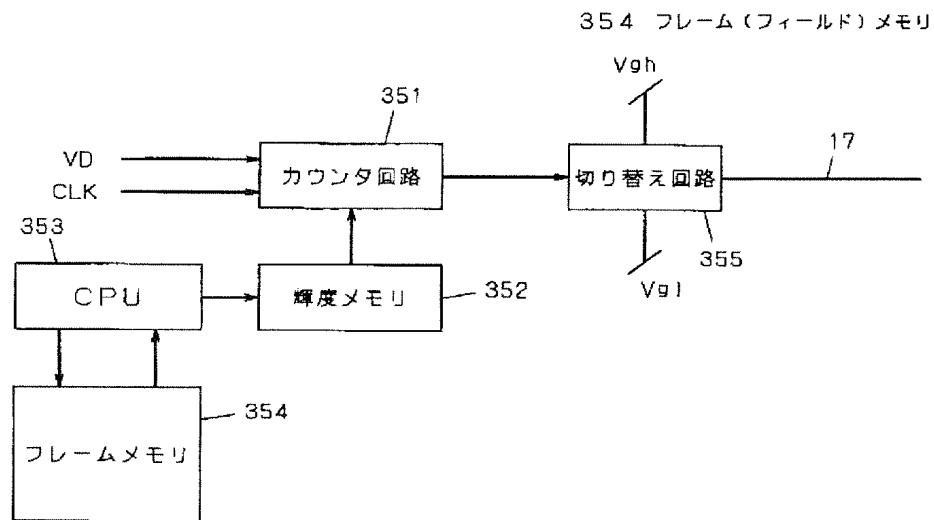


【図41】

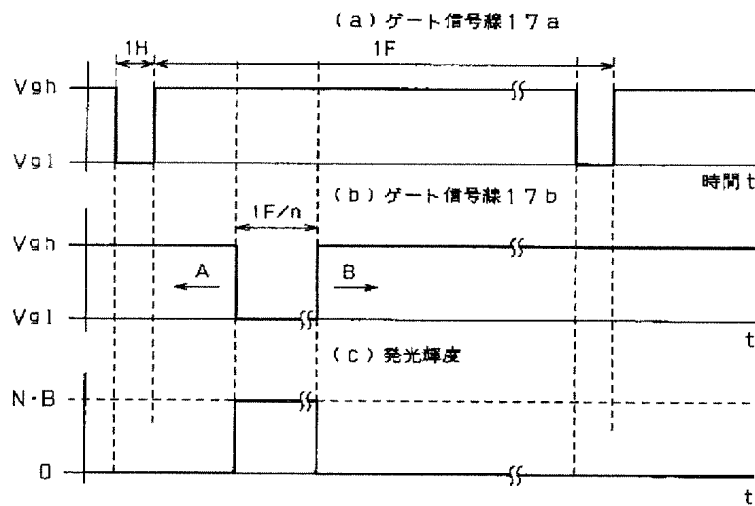
501 走査領域



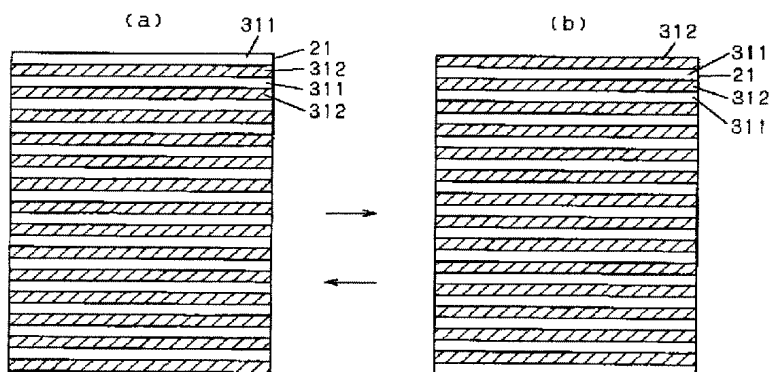
【図35】



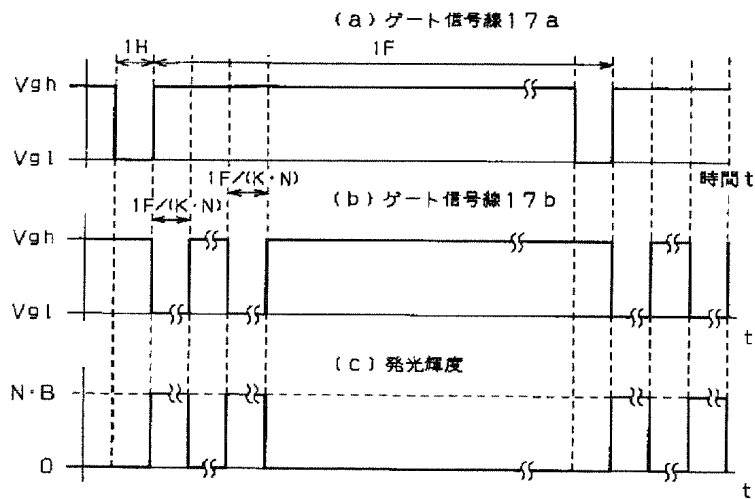
【図36】



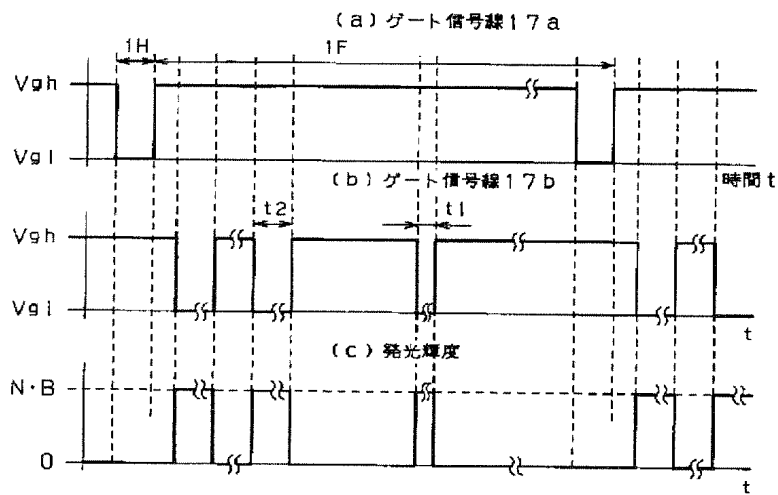
【図43】



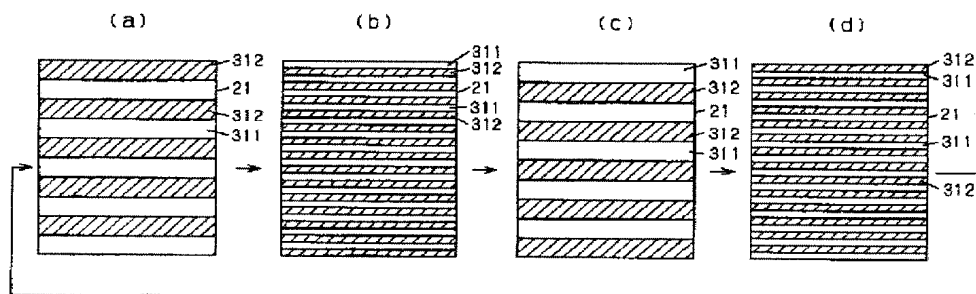
【図37】



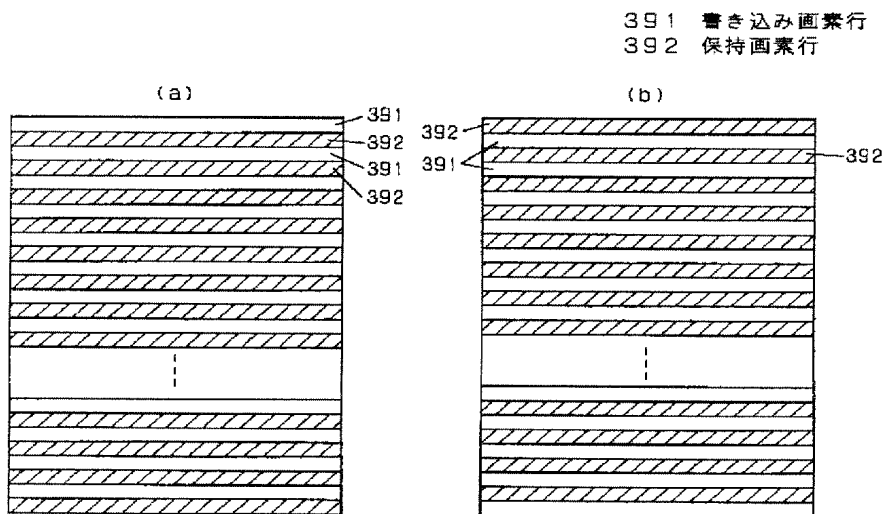
【図38】



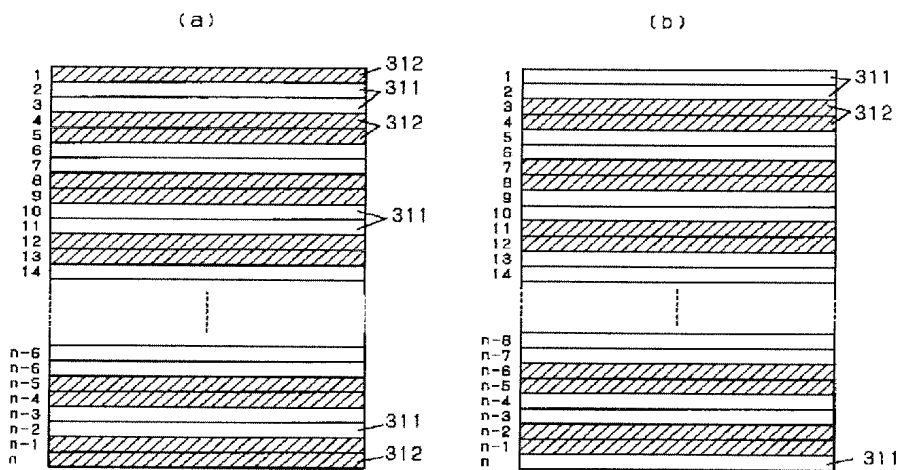
【図44】



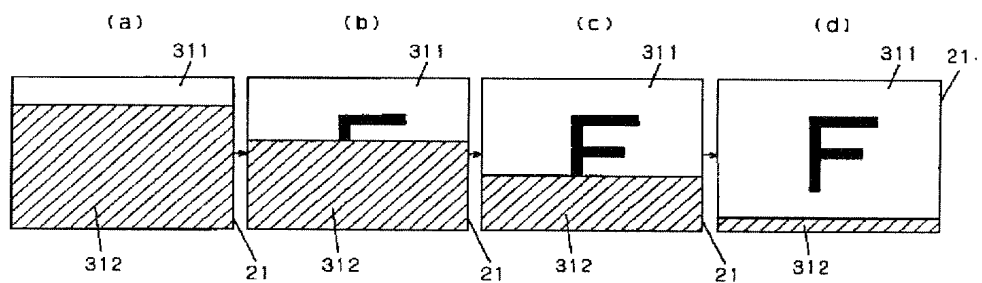
【図39】



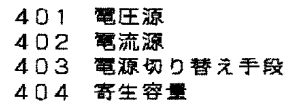
【図40】



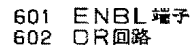
【図45】



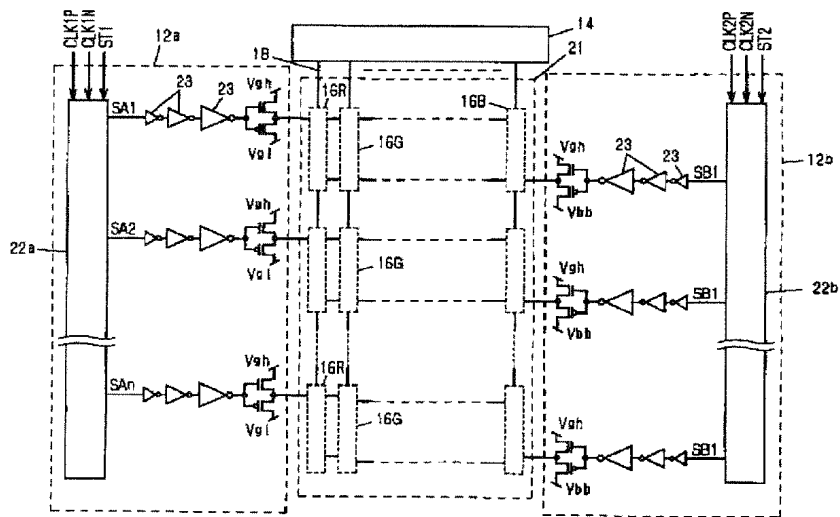
【例 4 2】



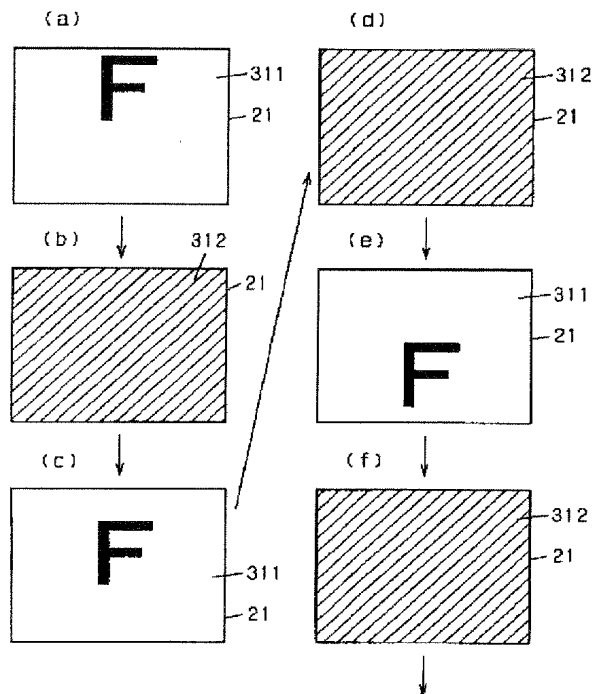
【图 4-6】



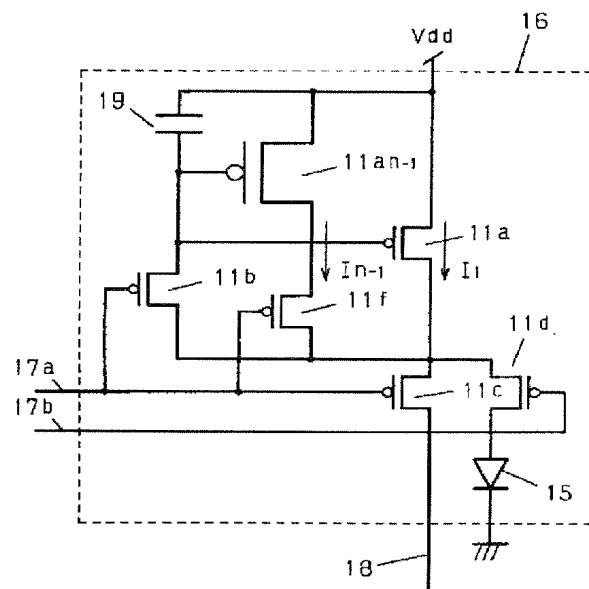
【図47】



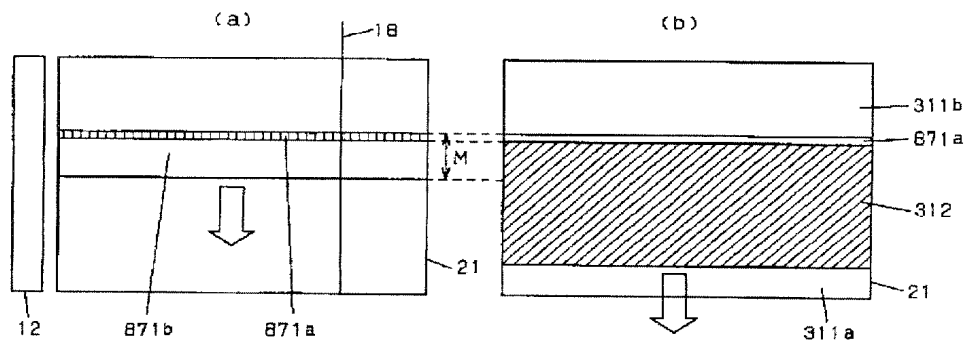
【図48】



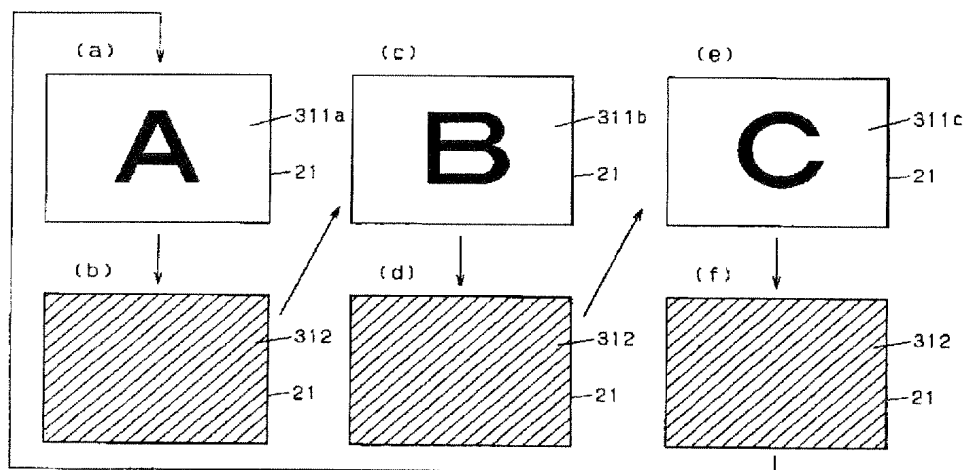
【図52】



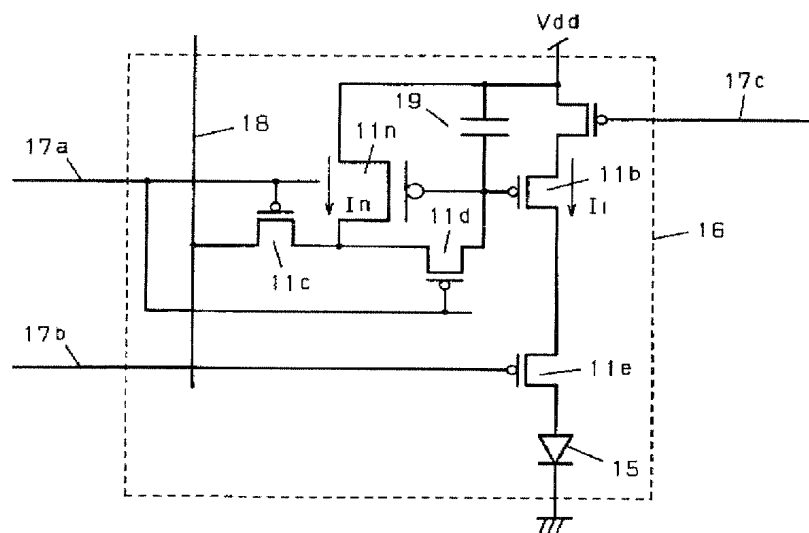
871 書き込み画素行



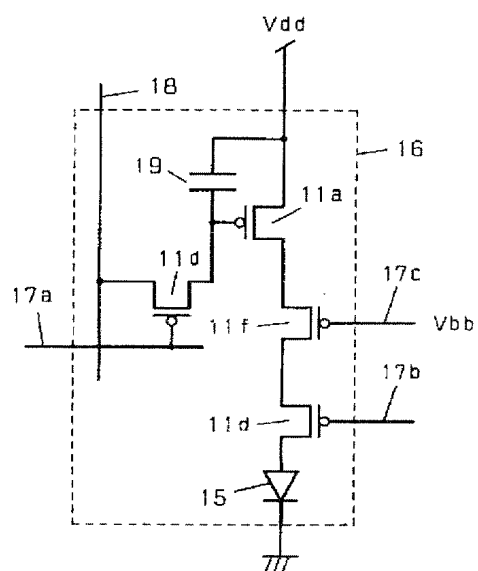
【※ 5 1】



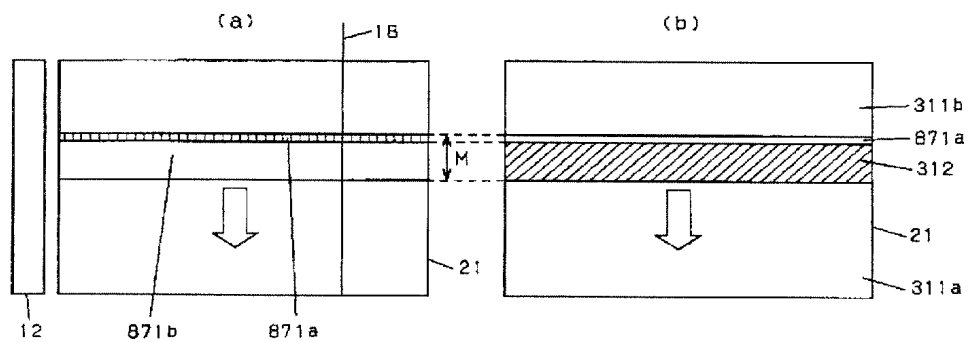
【图 5-3】



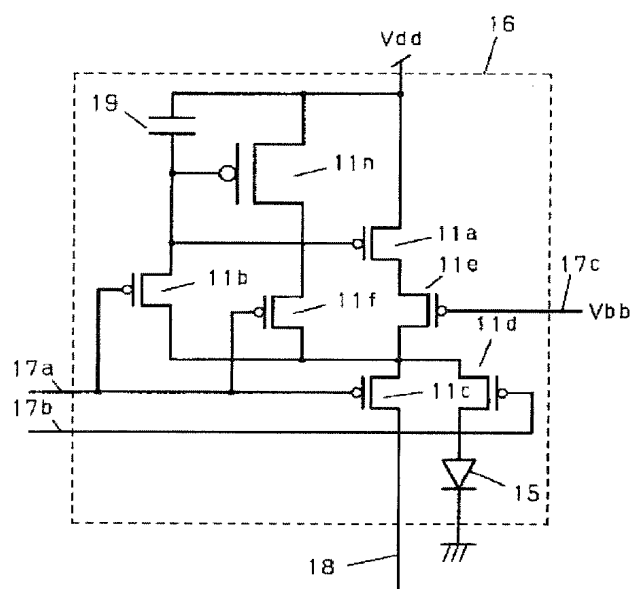
【图 60】



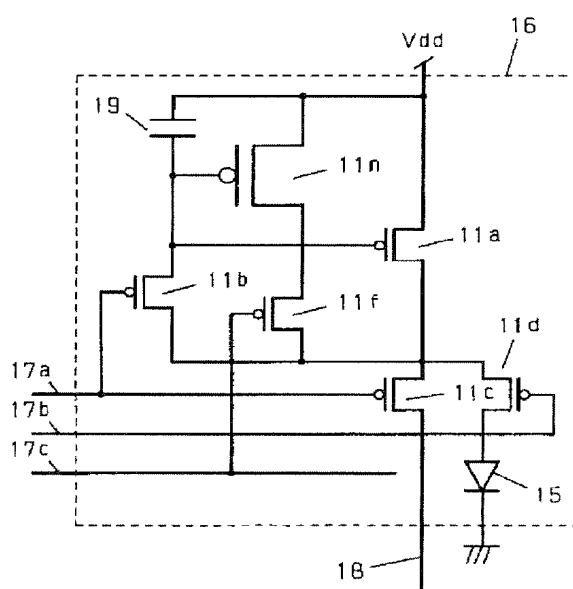
【图 6-5】



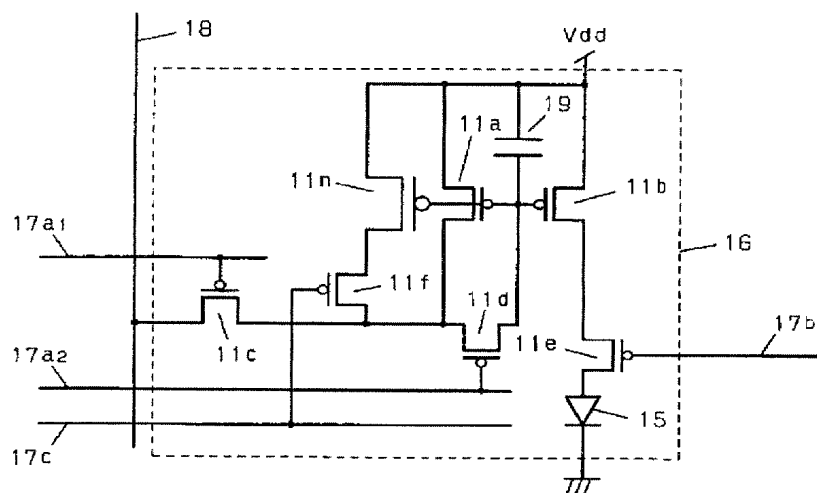
【図56】



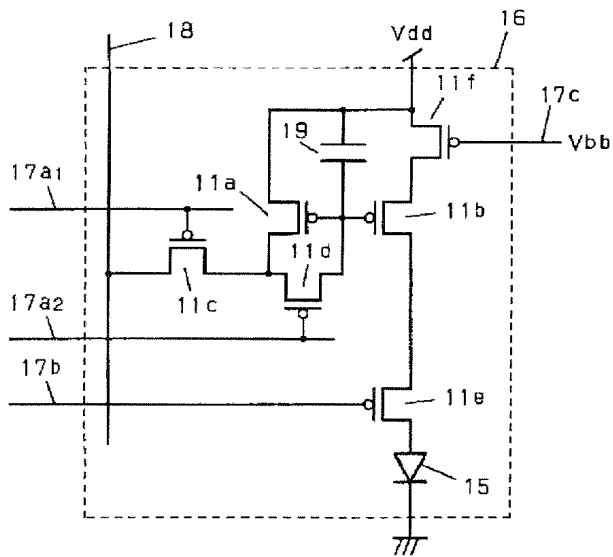
【図57】



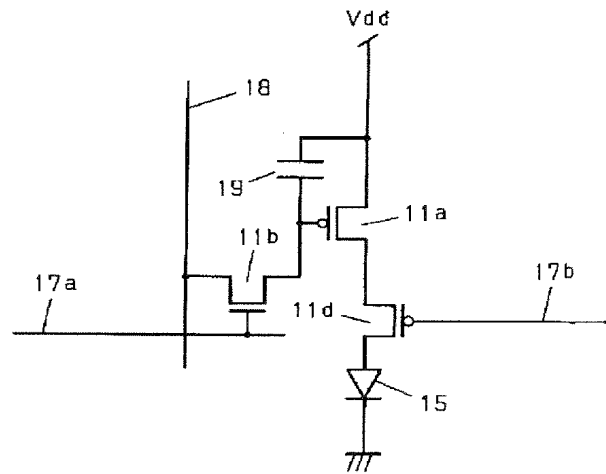
【図58】



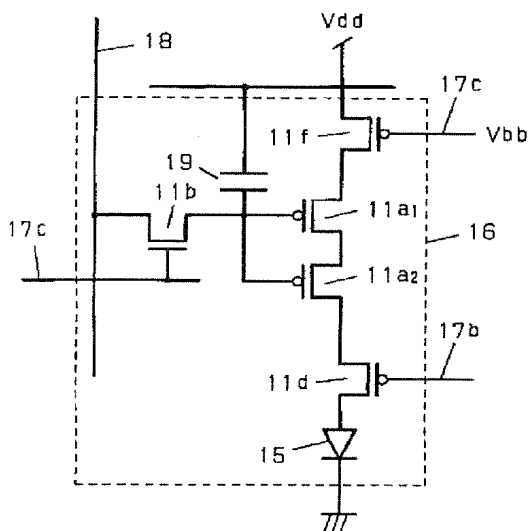
【図59】



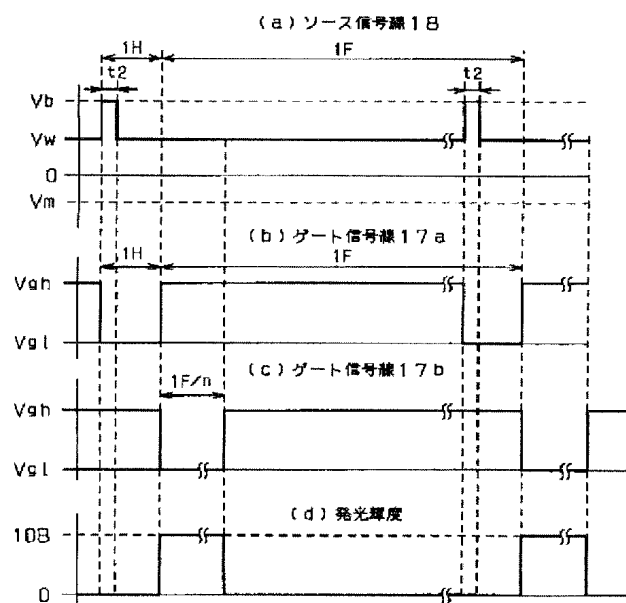
【図61】



【図62】

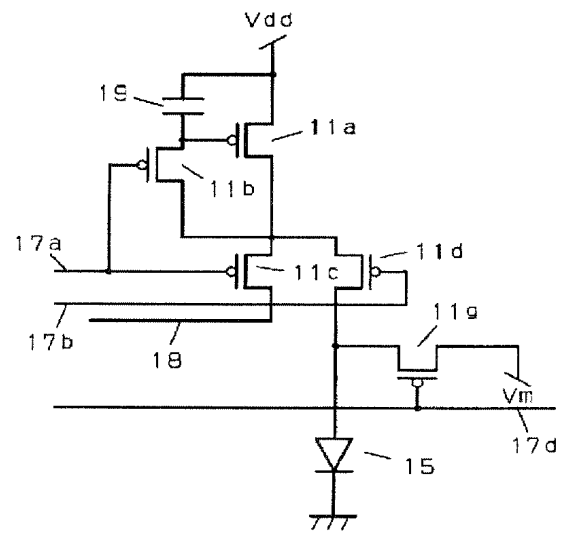


【図66】

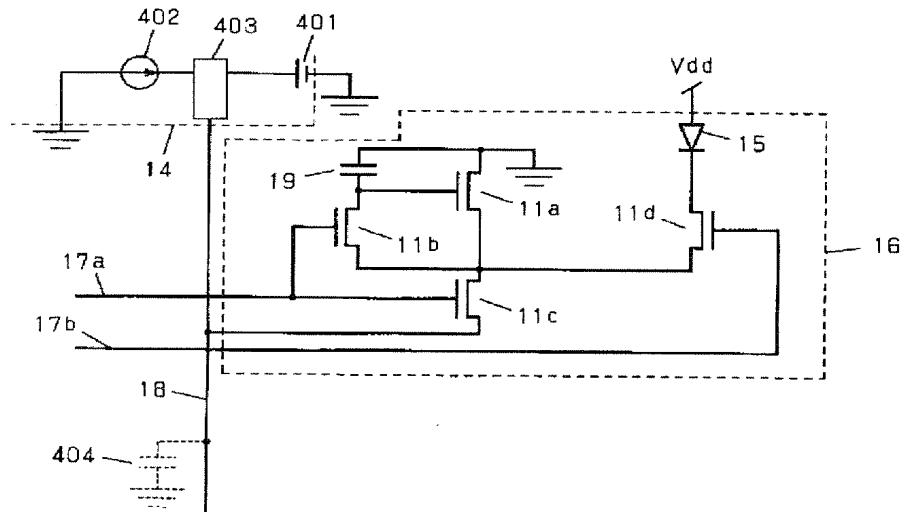


[illegible]

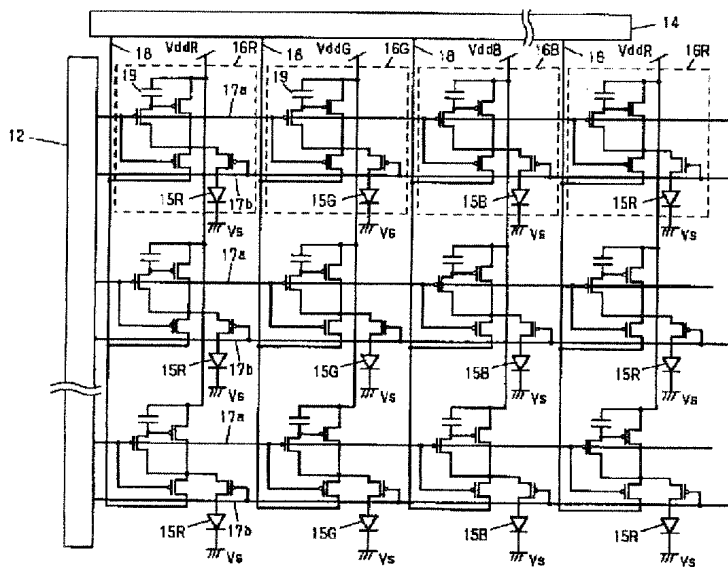
【図 8 1】



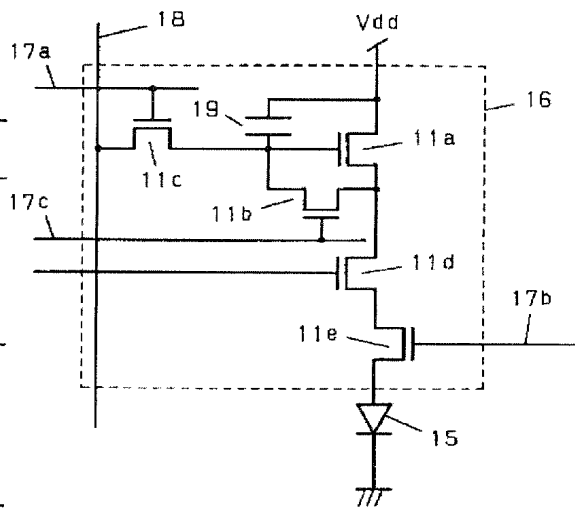
【図70】



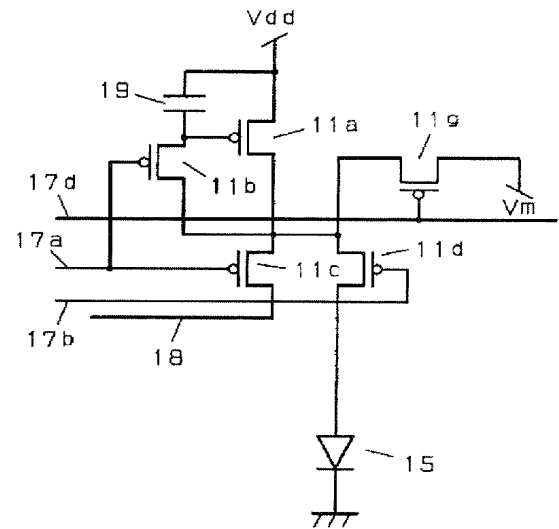
【図72】



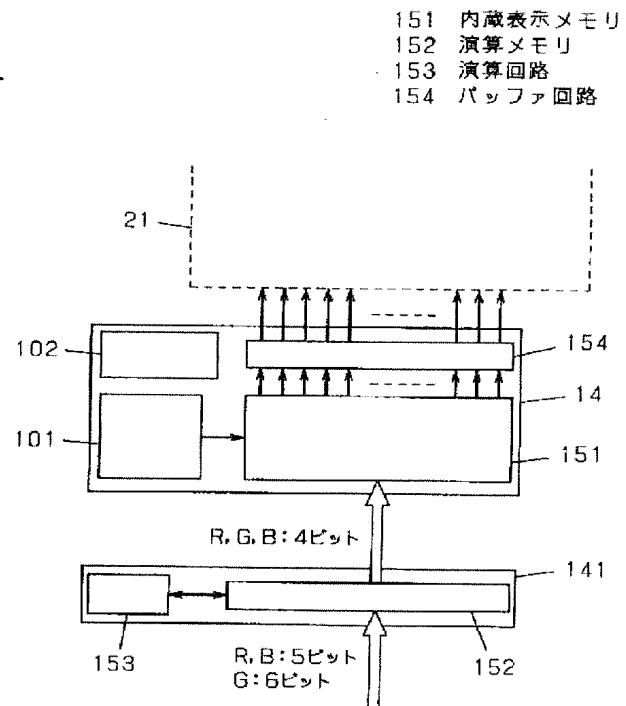
【図75】



【図 8 4】



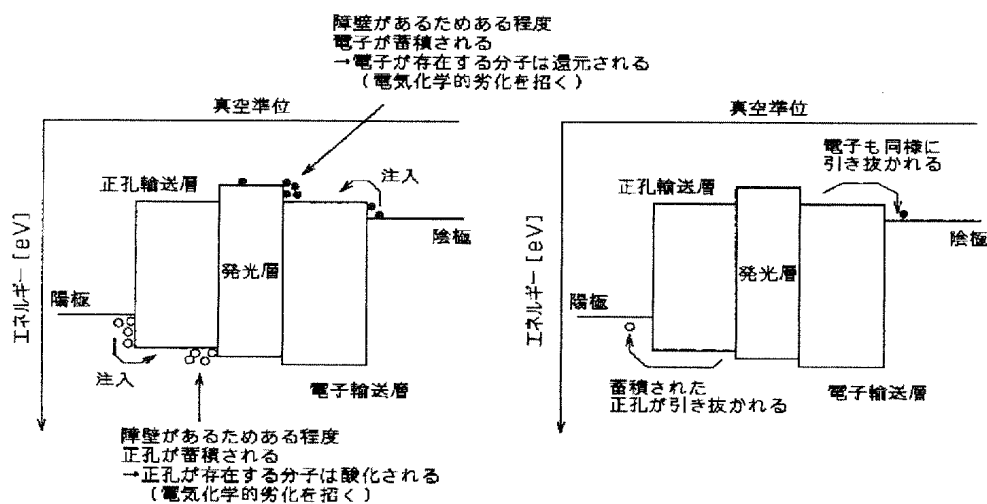
【图 7 7】



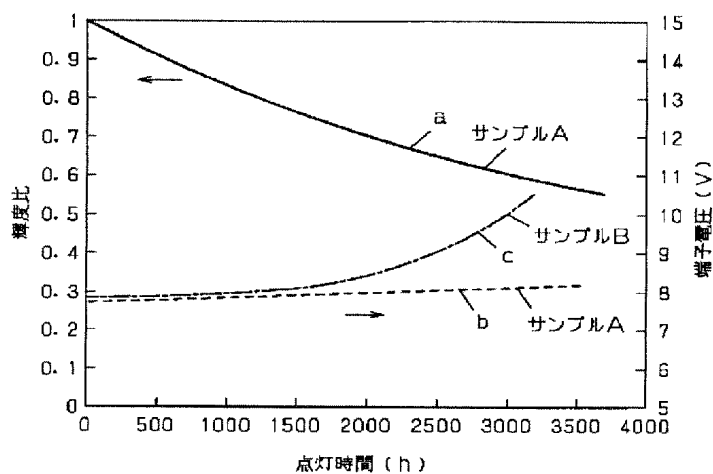
【図78】

(a) 発光時のキャリアの挙動

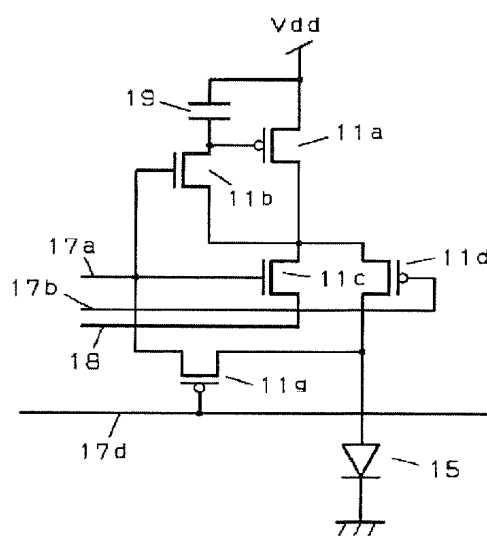
(b) 逆電流印加時



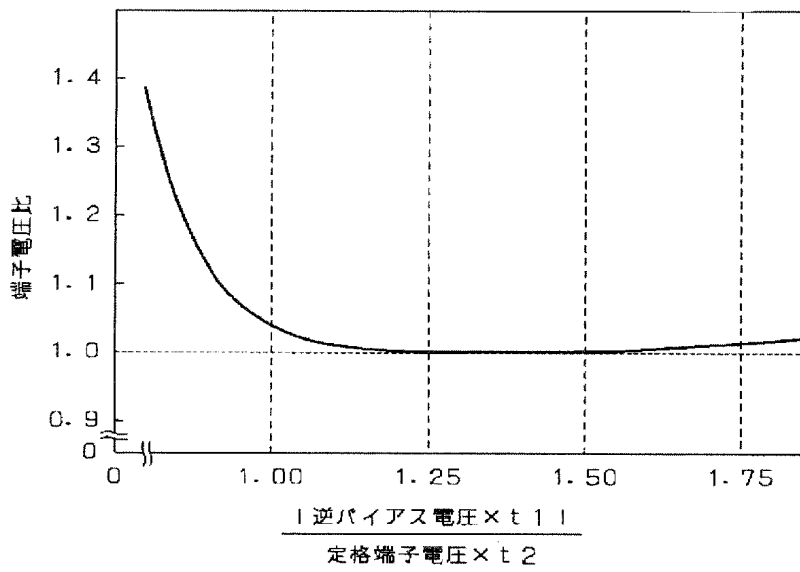
【図79】



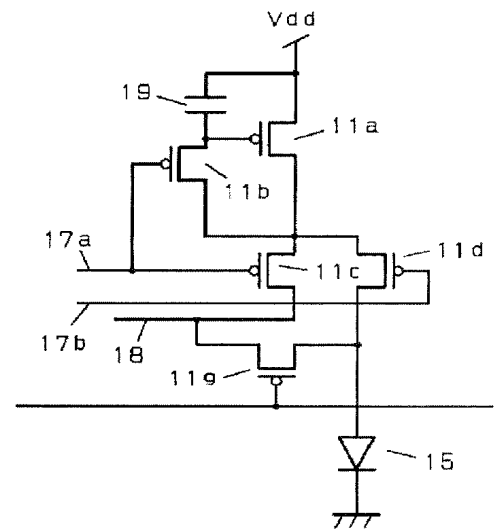
【図85】



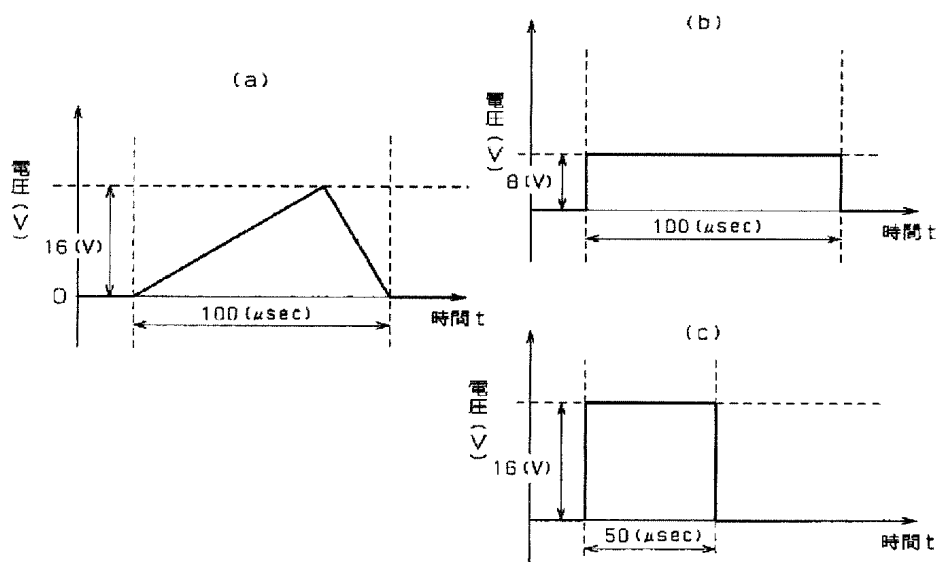
【図80】



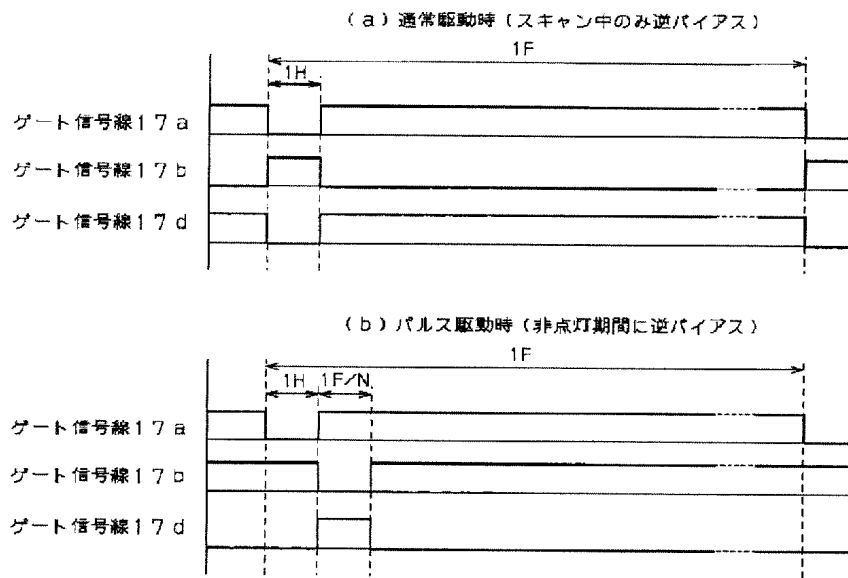
【図86】



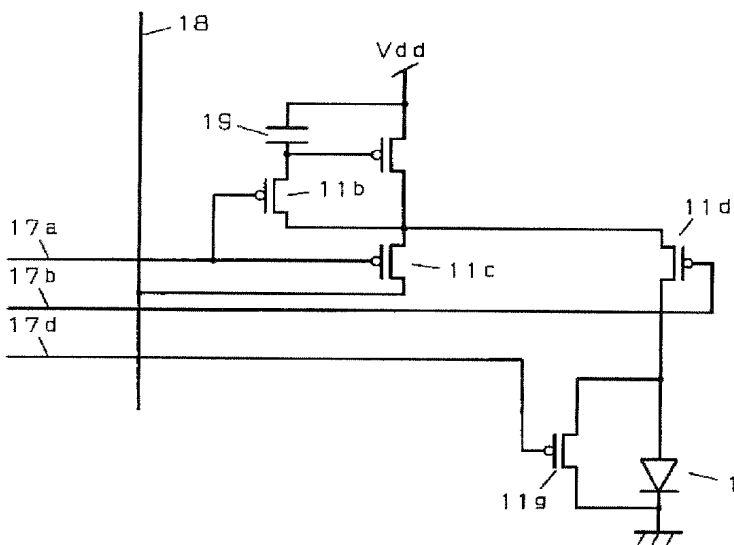
【図82】



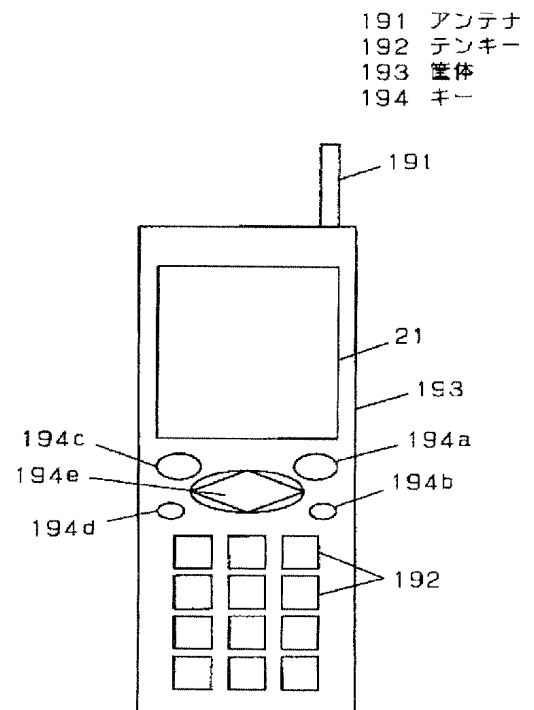
【図83】



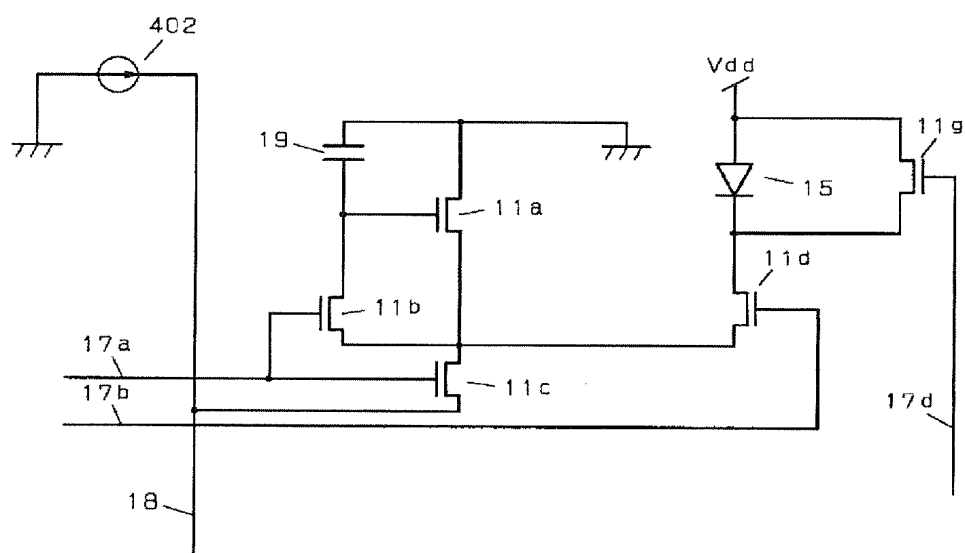
【図87】



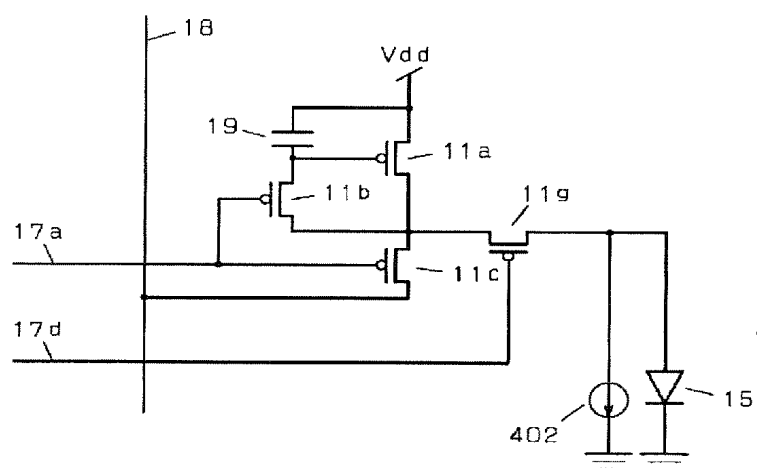
【図104】



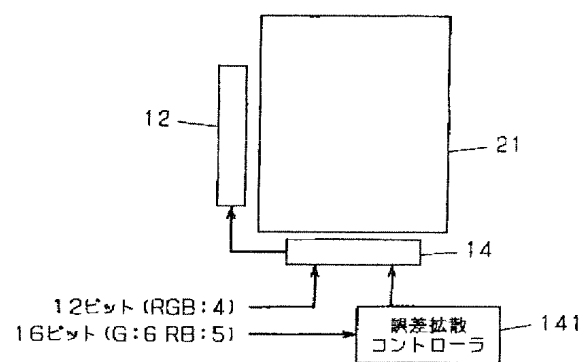
【図88】



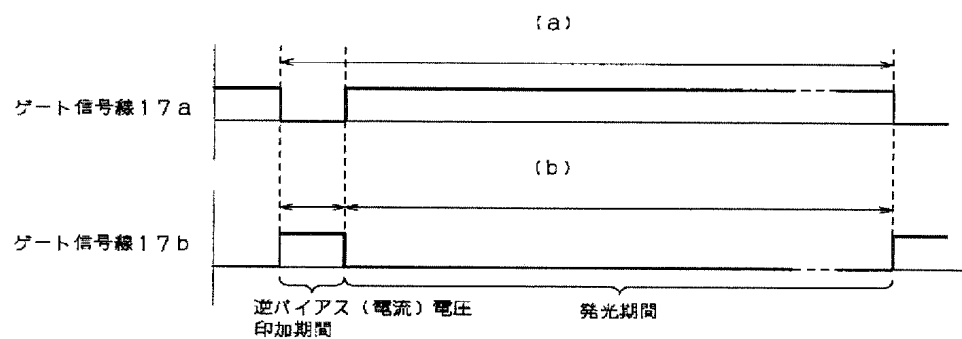
【図89】



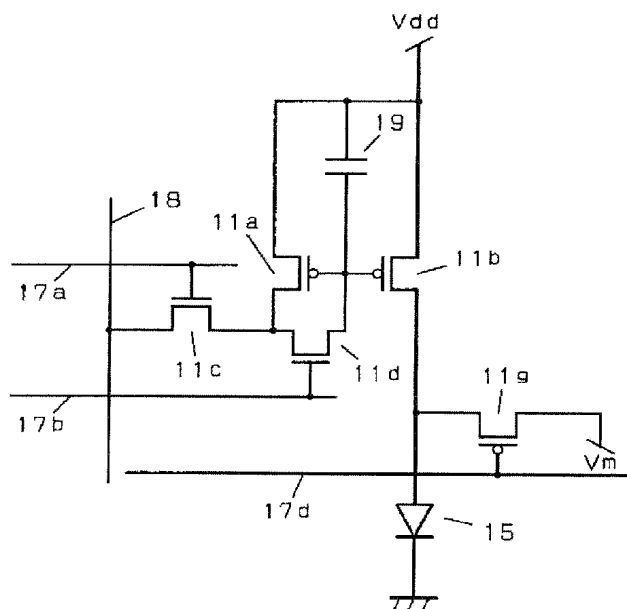
【図103】



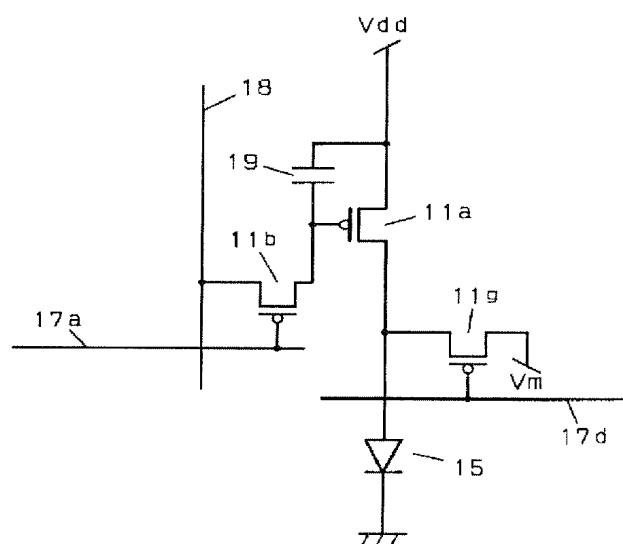
【図90】



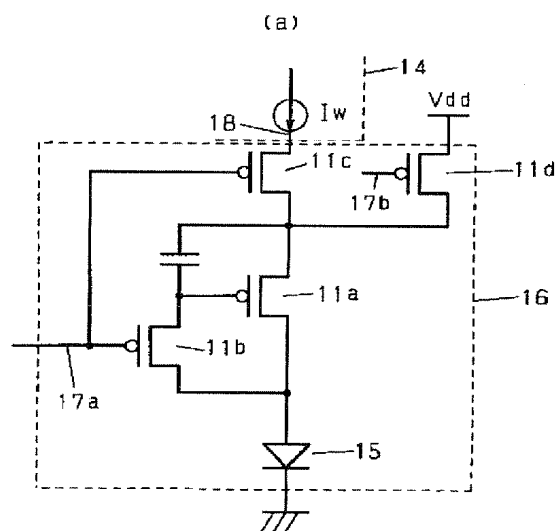
【図93】



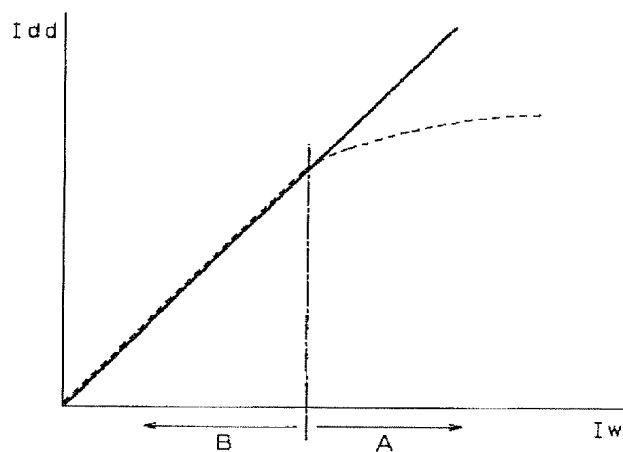
【図94】



【図95】



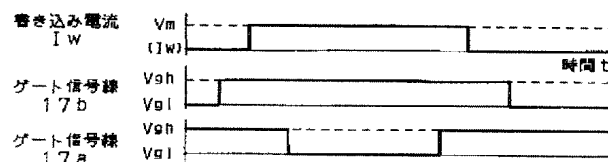
【図97】



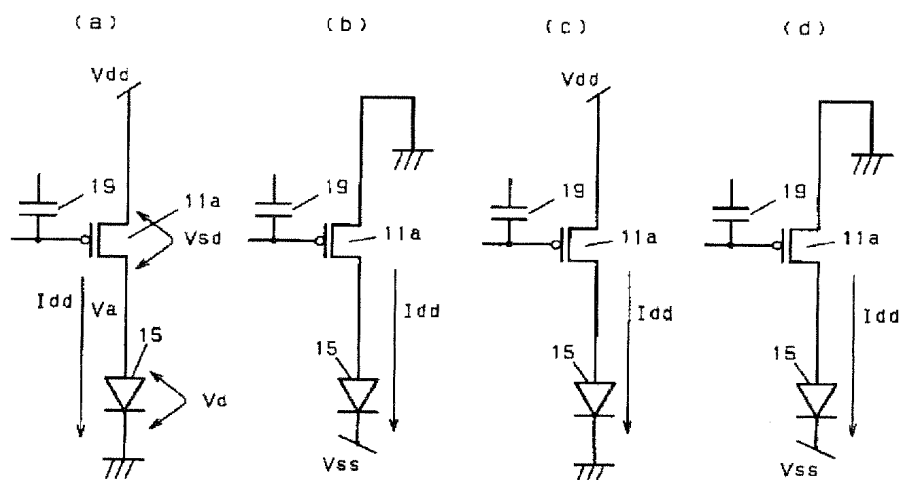
【図107】

形式	ビットシーケンス							
	b ₈	b ₇	b ₆	b ₅	b ₄	b ₃	b ₂	b ₁
情報転送形式 Iフレーム	受信順序 番号 N(R)			P	送信順序 番号 N(S)			0
	2 ²	2 ¹	2 ⁰		2 ²	2 ¹	2 ⁰	
監視形式 Sフレーム	受信順序 番号 N(R)			P/F	監視機能 ビット S			1
	2 ²	2 ¹	2 ⁰					
非番号制形式 Jフレーム	修飾機能 ビット M			P/F	修飾機能 ビット M			1

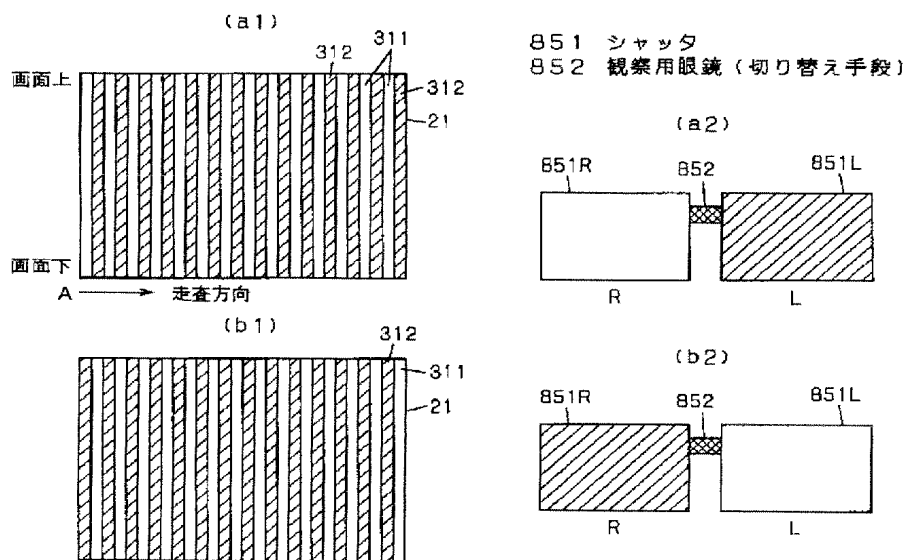
(b)



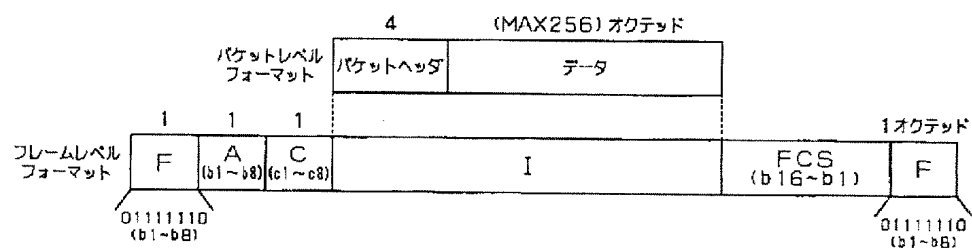
【図96】



【図98】

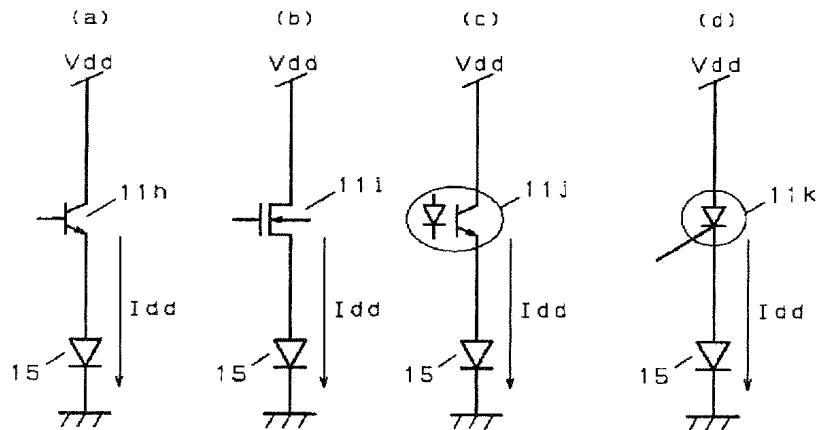


【図106】



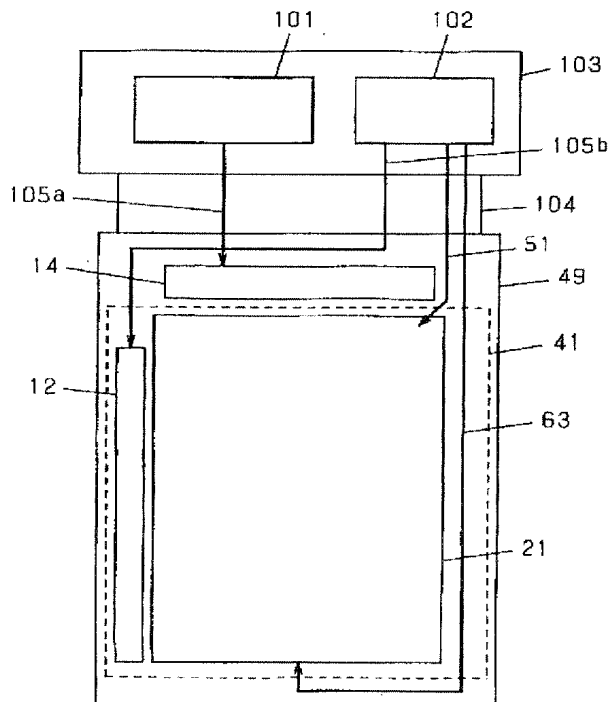
【図100】

11h バイポーラトランジスタ
 11i MOSトランジスタ
 11j ホトトランジスタ
 11k サムリスタ

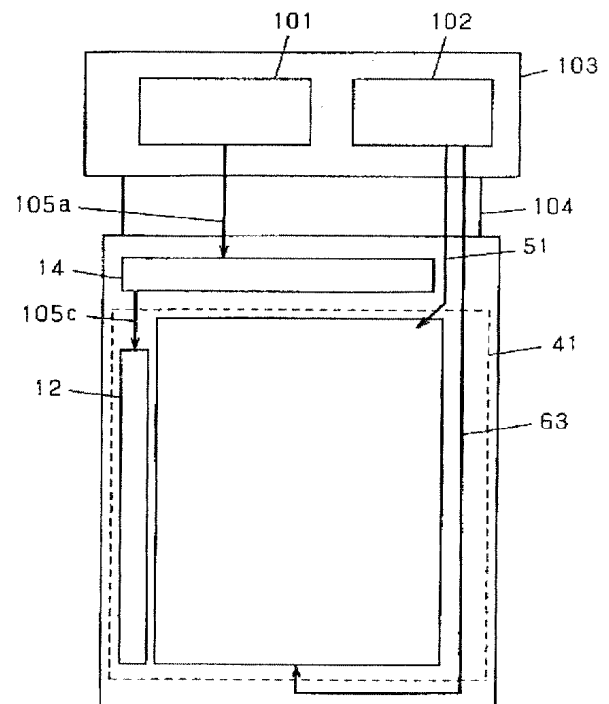


【図101】

101 コントロールIC
 102 電源IC
 103 プリント基板
 104 フレキシブル基板
 105 データ信号

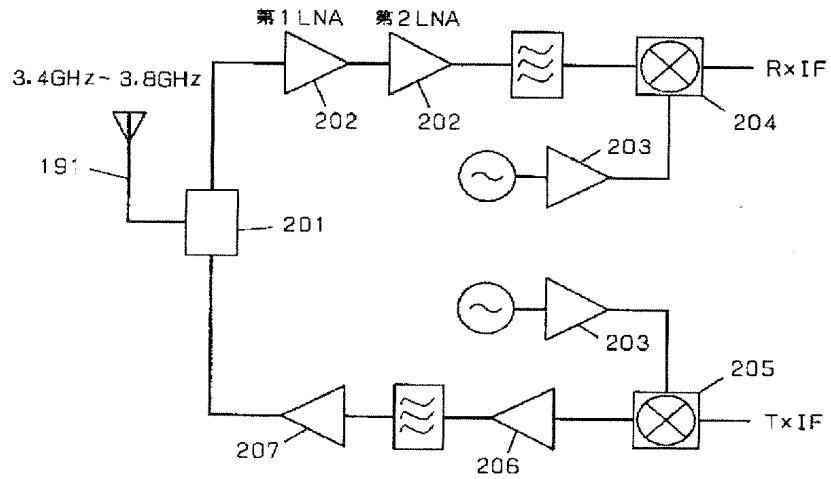


【図102】



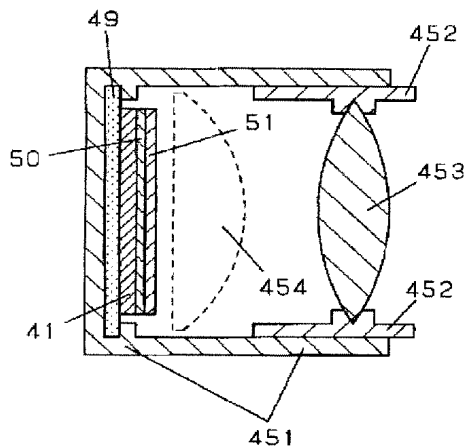
【図108】

201 デプレクサ 204 ダウンコンバータ 206 PAブリッドライバ
 202 LNA 205 アップコンバータ 207 PA
 203 LOバッファ



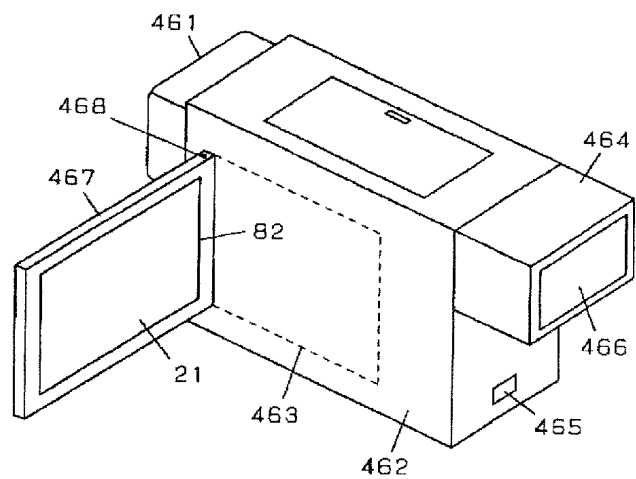
【図109】

451 ボディー
 452 接眼リング
 453 拡大レンズ
 454 正レンズ



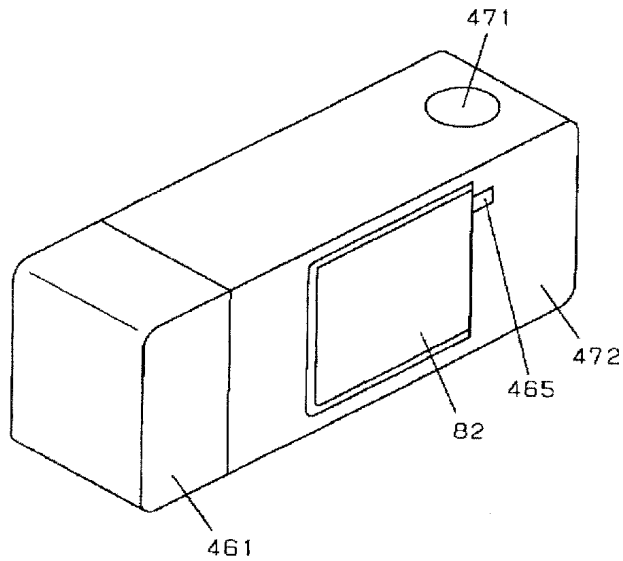
【図110】

461 撮影レンズ
 462 ビデオカメラ本体
 463 格納部
 464 接眼カバー
 465 表示モード切り替えスイッチ
 466 ビューファインダ
 467 蓋
 468 支点



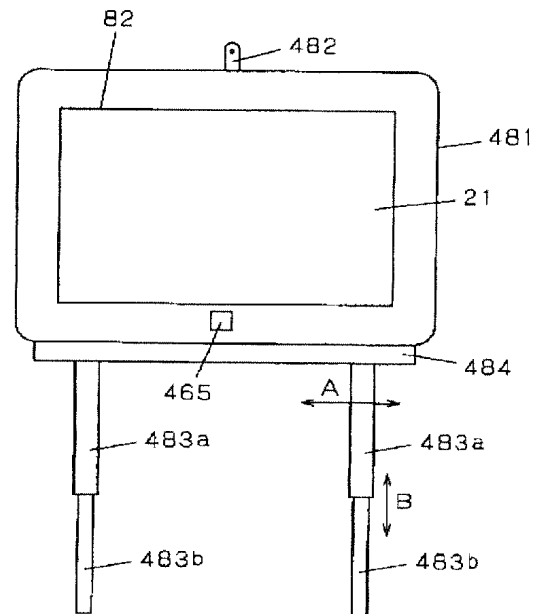
【図111】

471 シャッター
472 デジタルカメラ本体

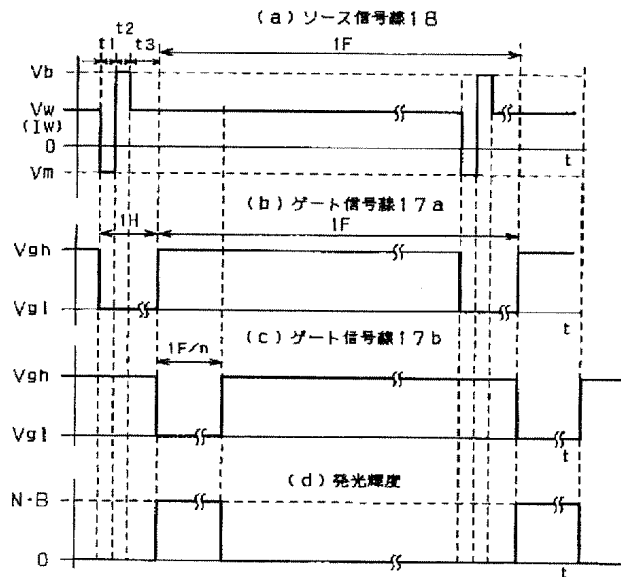


【図112】

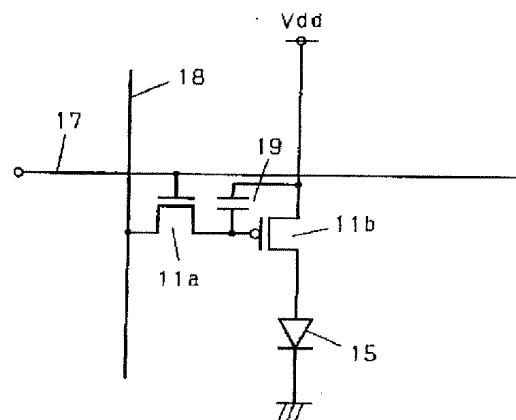
481 外枠
482 固定部材
483 脚
484 脚取り付け部



【図114】

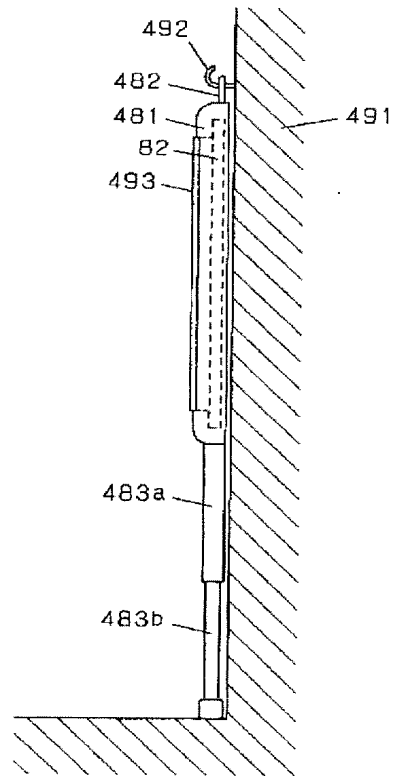


【図115】



【図113】

491 壁
492 固定金具
493 保護フィルム（保護板）



フロントページの続き

(51)Int.Cl. ⁷	識別記号	F I	テームコード（参考）
G 0 9 G 3/20	6 4 1	G 0 9 G 3/20	6 4 1 D
	6 4 2		6 4 2 A
H 0 5 B 33/14		H 0 5 B 33/14	A

F ターム（参考） 3K007 AB02 AB04 AB11 AB17 BA06
BB07 CB01 DB03 EB00 GA02
GA04
5C080 AA06 BB05 CC03 DD05 DD26
EE29 FF11 JJ02 JJ03 JJ04
JJ06 KK07 KK47
5C094 AA07 AA08 AA10 AA13 AA22
AA31 AA44 AA53 AA56 BA03
BA12 BA27 CA19 CA24 DA09
DB01 DB04 EA04 ED13 ED14
ED20 FA01 FB01 FB20 GA10
JA01